

## Analyse, simulation d'une porte XOR CMOS à 6 transistors

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet :

[page d'accueil](#)

d'autres pdf, sur différents sujets :

[liste des PDF](#)

La porte XOR, (OU exclusif) est un opérateur de base en logique combinatoire. Il en existe plusieurs schémas à transistors. Le but de ce travail est de vérifier -et de caractériser- par des simulations Pspice, le fonctionnement d'une porte XOR CMOS à 6 transistors. Dans cet article, on connecte également un montage analogique en sa sortie.

### 1) Porte XOR à base de portes logiques.

Rappelons les schémas des opérateurs logiques en technologie CMOS :

NOT 	NAND 	AND 	OR 
2 transistors	4 transistors	6 transistors	4 transistors

L'opérateur XOR ( $X = A \oplus B$ ) a pour équation  $A \setminus B + A B \setminus$ .  
On peut donc le fabriquer classiquement avec des portes de base : NOT, AND, OR.

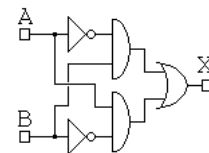
Le bilan des opérateurs nécessaires à la réalisation de l'opérateur XOR totalise **20 transistors**.

La même équation logique peut être réalisée par des opérateurs NAND.

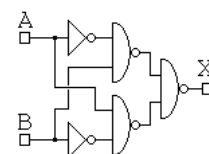
Le bilan fait alors état de **16 transistors**.

Il est également possible d'assembler des transistors de façon judicieuse tout en respectant la fonction logique du OU exclusif.

Parmi les différentes solutions, nous allons examiner finement la porte XOR à **6 transistors**.



Porte XOR à base d'inverseurs, de ET, de OU.



Porte XOR à base d'inverseurs, et de NAND.

## 2) Porte XOR à 6 transistors.

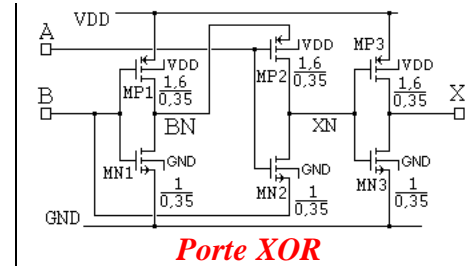
Il est proposé ci-contre un schéma qui n'exploite pas les schémas classiques des opérateurs logiques.

Dans cette technologie, l'alimentation VDD est égale à 3,3 V.

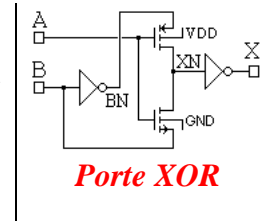
On peut remarquer :

- il y a 2 inverseurs logiques (MP1, MN1 d'une part, MP3, MN3 d'autre part),
- l'association MP2, MN2 ne forme pas un inverseur logique (mais une porte de transmission),
- sur le plan logique, la fonction XOR est commutative. Mais, sur le plan analogique, ce schéma n'est pas symétrique.

- Le signal interne XN (pour XNOR, XOR complémenté) n'assure pas des niveaux logiques "de qualité". L'étage de sortie permet de réduire ce défaut : l'inverseur entre XN et X permet de remettre en forme des signaux dégradés.



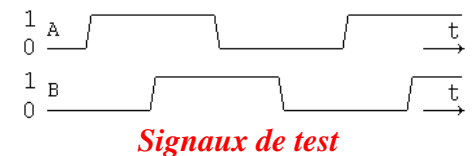
**Porte XOR**



**Porte XOR**

Pour vérifier le fonctionnement de la porte XOR, on place, sur les entrées A et B, des signaux de test comme indiqué ci-contre :

On a : niveau logique "0" = 0 V    niveau logique "1" = 3,3 V.



**Signaux de test**

La fréquence des signaux est fixée arbitrairement à 2 MHz, les temps de montée et descente à 2 ns. Dans la netlist (**fichier XOR.cir**), le décalage est de 125 ns, soit T/4, ce qui revient à  $\pi/2$ .

La porte "XOR" est définie dans un sous-circuit.

XOR à 6 Transistors

\* fichier XOR.cir

\* Xor entrées A, B sortie X

\* transistors AMSD :

.model MODN nmos (Level=1 Kp=110u Vto=0.68 Cgdo=0.5n Cgso=3.2n lambda=0.01)

.model MODP pmos (Level=1 Kp=40u Vto=-0.7 Cgdo=0.5n Cgso=3.2n lambda=0.01)

\* circuit :

Vdd vdd 0 dc 3.3V ; alim

\* test XOR

VinA A 0 pulse ( 0 3.3 0n 2n 2n 0.25u 0.5u ) ; signal 2 MHz

VinB B 0 pulse ( 0 3.3 0.125u 2n 2n 0.25u 0.5u ) ; décalé

Xxor A B X OUEX

.subckt OUEX A B X

Valim Vdd 0 DC=3.3

Mp2 XN A BN Vdd MODP W=1.6u L=0.35u ; DGSB

Mn2 XN A B 0 MODN W=1u L=0.35u ; DGSB

Xinv1 B BN INVCNOS

Xinv2 XN X INVCNOS

.ends

.subckt INVCMOS in out

Valim Vdd 0 DC=3.3

Mp out in vdd vdd MODP W=6u L=0.35u ; W/L grand

Mn out in 0 0 MODN W=0.35u L=4u ; W/L petit

.ends

.subckt INVCMOS in out

Valim Vdd 0 DC=3.3

Mp out in vdd vdd MODP W=1.6u L=0.35u ; DGSB

Mn out in 0 0 MODN W=1u L=0.35u ; DGSB

.ends

\* filtre de boucle entree UD (noeud X) sortie UF

\*R1 X UF 130k

\*R2 UF UFM 14.45k

\*CB UFM 0 40p

\*

\* filtre de sortie

\*RF UF USD 289k

\*CF USD 0 2p

.TRAN 0.1n 1u 0 0.1n ; reponse temporelle 1

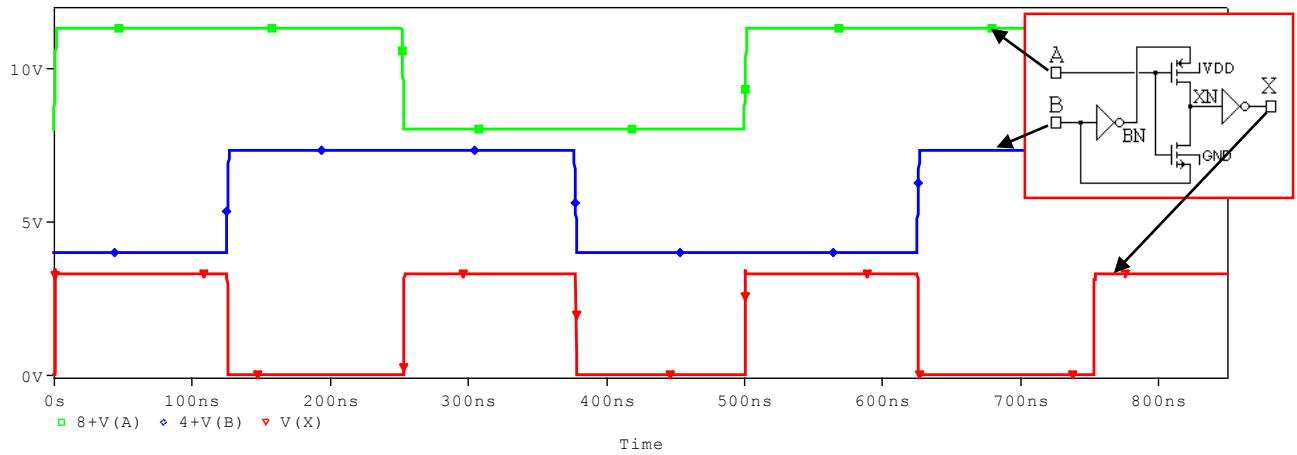
\*.TRAN 1n 100u 0 1n ; reponse temporelle 2

.PROBE

.END

**Netlist, prête à simuler**

Après simulation, on représente ci-dessous les **chronogrammes** décalés, pour une lecture plus facile : De haut en bas : A, B, X.



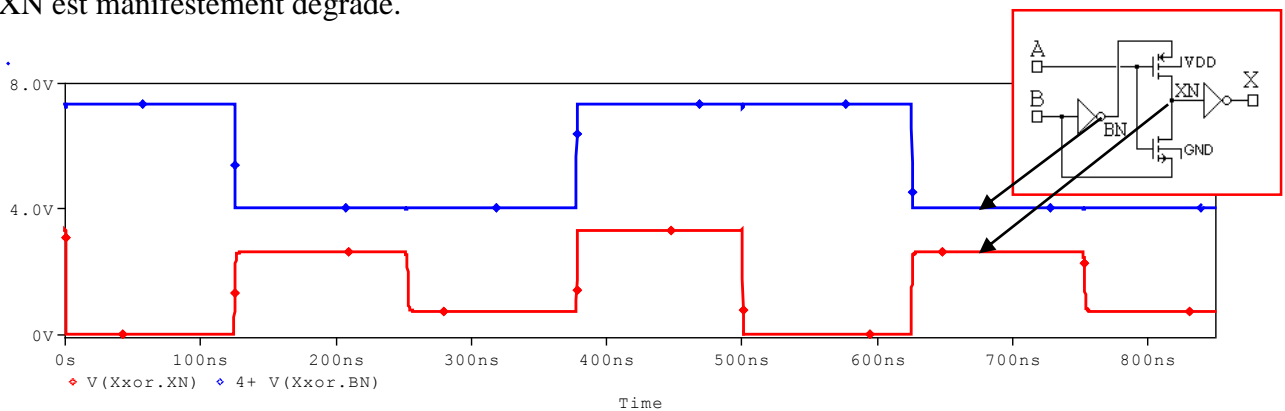
- Ce tableau synthétique représente les chronogrammes des signaux **A**, **B**, **X**. On indique l'état logique correspondant aux potentiels (« 1 » pour 3,3 V et « 0 » pour 0 V).

V(A)	1	1	0	0	1	1	0
V(B)	0	1	1	0	0	1	1
V(X)	1	0	1	0	1	0	1

- on reconnaît la table de vérité de la fonction **XOR** : l'un ou l'autre, mais pas les 2.

- il est judicieux d'observer également les signaux internes BN et XN :

BN est l'inversion de B, sans défaut, hormis un très léger pic lors d'une commutation (ici à 500 ns) mais XN est manifestement dégradé.



En effet, les niveaux de XN sont, selon la combinaison des entrées A, B :

A	B	XN	Remarque
1	0	0 V	
0	0	3,3 V	
0	1	703 mV	Est interprété comme 0, par l'inverseur qui suit.
1	1	2,6 V	Est interprété comme 1, par l'inverseur qui suit.

Sur le plan fonctionnel, en ne se limitant qu'aux signaux d'entrées A, B, et de la sortie X, ce montage à 6 transistors réalise bien la fonction OU Exclusif.

Une des applications du XOR est le comparateur de phase de certaines boucles à verrouillage de phase. C'est ce qui est traité au paragraphe suivant. Généralement, la sortie du comparateur de phase est connectée à un filtre de type passe bas. Nous allons simuler l'association XOR et filtre passe bas passif.

### 3) Cas pratique d'utilisation du XOR : le comparateur de phase

Nous allons tout d'abord étudier le filtre passe bas connecté sur la porte XOR, appelé, dans le cas d'une PLL, filtre de boucle.

#### a) Le filtre de boucle seul :

Le filtre est  $F(p) = \frac{U_F(p)}{U_D(p)} = K_f \frac{1 + \tau_1 p}{1 + \tau_2 p}$ , avec  $\tau_1 = R_2 C$  et  $\tau_2 = (R_1 + R_2) C$ .

On donne :  $R_1 = 130 \text{ k}\Omega$ ,  $R_2 = 14,45 \text{ k}\Omega$ ,  $C = 40 \text{ pF}$ .

On déduit :

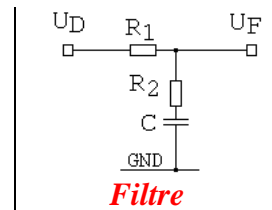
$$\tau_1 = R_2 C = 14,45 \cdot 10^3 \times 40 \cdot 10^{-12} = 0,578 \text{ }\mu\text{s}$$

$$\tau_2 = (R_1 + R_2) C = (130 + 14,45) \cdot 10^3 \times 40 \cdot 10^{-12} = 5,778 \text{ }\mu\text{s}$$

$$K_f = 1.$$

$$\text{d'où } 1/\tau_1 = 1,73 \text{ Mrad/s}$$

$$\text{d'où } 1/\tau_2 = 173 \text{ krad/s.}$$

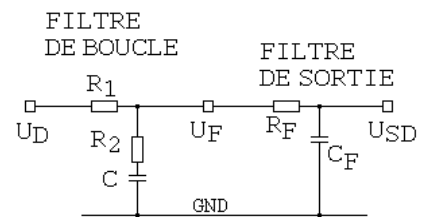


Filtre

Dans la PLL qui exploitera ce comparateur et ce filtre, on connecte un autre filtre, appelé filtre de sortie.

On donne :  $R_F = 289 \text{ k}\Omega$ ,  $C_F = 2 \text{ pF}$ .

Sa fréquence de coupure est  $1/(2 \pi R_F C_F) = 275 \text{ kHz}$ .

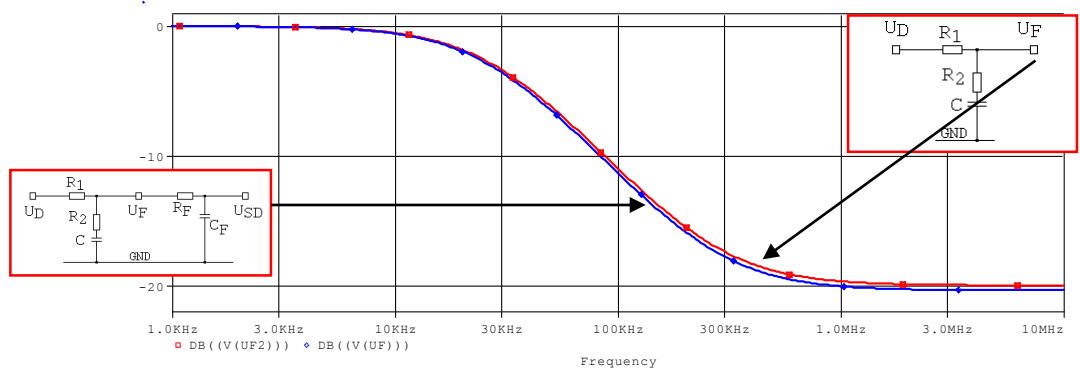


Les 2 filtres en cascade

L'impédance de sortie du filtre de boucle ( $R_1 // (R_2 + 1/jC\omega)$ ) est faible devant l'impédance d'entrée du filtre de boucle ( $R_F + 1/jC_F\omega$ ). On peut donc faire l'hypothèse que la **fonction de transfert F(p) est inchangée par la présence du filtre de sortie.**

Si on veut s'en convaincre, il suffit de faire 2 réponses harmoniques du filtre de boucle : une fois seul, une fois avec le filtre de sortie.

<p>les 2 filtres                  * fichier filtre.cir                  * circuit :                  VAC X 0 AC=1                  * filtre de boucle chargé                  R1 X UF 130k                  R2 UF UFM 14.45k                  CB UFM 0 40p                  * filtre de sortie                  RF UF USD 289k                  CF USD 0 2p</p>	<p>* filtre de boucle à vide                  R12 X UF2 130k                  R22 UF2 UFM2 14.45k                  CB2 UFM2 0 40p                  .AC DEC 100 1k 10Meg                  .PROBE                  .END</p>
---	---



#### Interprétation :

La réponse du filtre seul (rouge), ou du filtre chargé (bleu) sont quasiment confondues : la mise en cascade du filtre de sortie ne modifie pas la réponse du filtre de boucle.

L'atténuation maximale arrive pour  $f > 1/2\pi\tau_1 = 275 \text{ kHz}$ , et vaut alors 0,1. (-20 dB).

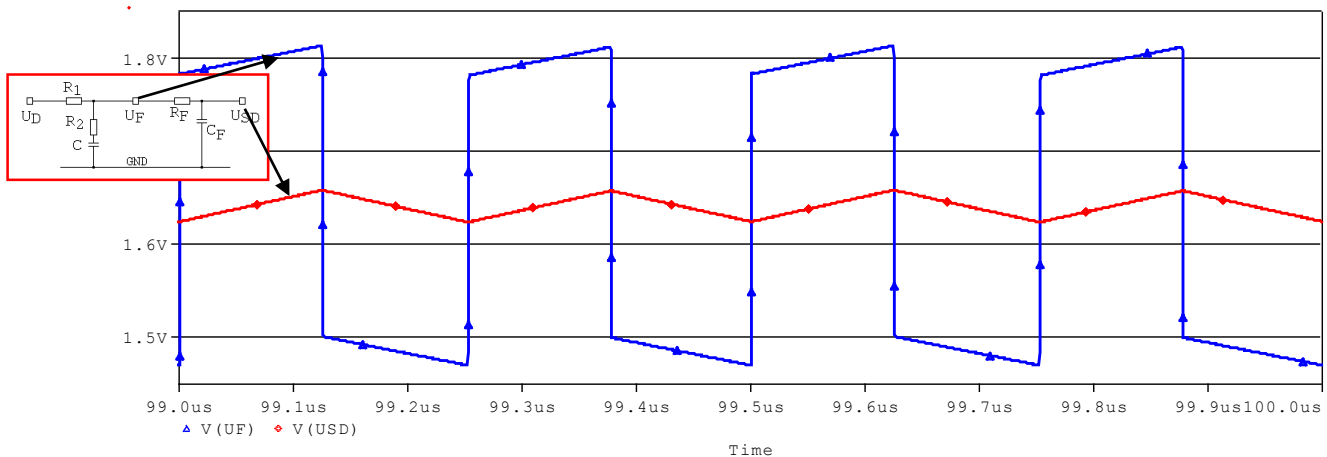
### b) Association XOR et filtres :

Pour vérifier le fonctionnement en comparateur de phase, on recommence l'essai, avec cette fois-ci, le XOR chargé par le filtre de boucle, lui-même connecté au filtre de sortie (il suffit, dans le fichier XOR.cir, de dé-commenter les 5 lignes concernées). On valide la ligne ".TRAN 1n 100u 0 1n".

- Le signal issu du XOR n'est pas dégradé car l'impédance d'entrée des éléments est élevée, grâce à la résistance  $R_1 = 130\text{ k}\Omega$  qui est en série avec les autres éléments. On mesure, à quelques mV près, des niveaux standards 3,3 V ; 0 V.

**Remarque :** sans conditions initiales sur la tension aux bornes des condensateurs, il faut laisser passer quelques dizaines de microsecondes pour avoir des courbes stabilisées.

- On visualise  $U_F$  et  $U_{SD}$  :



En  $U_F$ , le signal est formée d'une composante continue de  $\approx 1,65\text{ V}$ , (représentative de la valeur moyenne, car le signal en sortie du XOR est de rapport cyclique 50 %) + une variation. Un zoom sur cette variation montre le niveau bas environ 1,48 V, le niveau haut environ 1,8 V, soit une variation de 0,32 V crête à crête environ.

En  $U_{SD}$ , cette variation est atténuée. Le filtre passe-bas de sortie, qui coupe à 275 kHz, atténue d'un coefficient  $4/0,275 = 14,5$ , le fondamental à 4 MHz. On visualise la tension en sortie de ce dernier filtre : elle est une tension constante de  $\approx 1,65\text{ V}$ , avec une variation triangulaire quasi négligeable de 33 mV crête à crête.

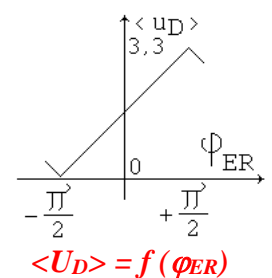
### Conclusion

Utilisé en comparateur de phase, le XOR doit délivrer une tension image du déphasage entre les signaux appliqués en entrée. C'est ce qui est réalisé par l'association du XOR à un filtre passe bas qui prend la valeur moyenne.

On peut ainsi idéaliser la réponse de ce détecteur de phase par la caractéristique ci-contre : autour de la position centrale, on a  $\langle U_D \rangle = K_d \varphi_{ER}$ , avec la convention usuelle sinus, cosinus, pour la définition du retard  $\varphi_{ER}$ .

#### Remarques :

- le signe de  $K_d$  dépend de l'affectation des signaux sur les entrées A et B.
- cette réponse idéalisée suppose des signaux parfaits en A, B, X.



Les niveaux haut et bas étant quasiment 0 V et 3,3 V, on a :  $K_d = 3,3\text{ V} / \pi = \boxed{1,05\text{ V/rad}}$ .

Si les signaux sont en quadrature,  $\langle U_D \rangle = 1,65\text{ V}$ .

Dans la convention adoptée, l'écart de phase = 0. D'où la fonction de transfert tracée.

articles 1 à 43 : sur le livre

**Tableau récapitulatif des articles PDF disponibles sur ce site**

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	<a href="#">présentation</a>	<a href="#">document PDF</a>
44	Exemples basiques et des exercices...	<a href="#">présentation</a>	<a href="#">document PDF</a>
45	Un exemple de circuit passif	<a href="#">présentation</a>	<a href="#">document PDF</a>
46	Un oscillateur Colpitts	<a href="#">présentation</a>	<a href="#">document PDF</a>
47	Compensation en fréquence des amplificateurs opérationnels	<a href="#">présentation</a>	<a href="#">document PDF</a>
48	Un amplificateur à transistors bipolaires	<a href="#">présentation</a>	<a href="#">document PDF</a>
49	Une bascule D Flip Flop CMOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
50	Une porte XOR à transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
51	Un VCO à 12 transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
52	Une PLL à moins de 20 transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
53	Un oscillateur à résistance négative	<a href="#">présentation</a>	<a href="#">document PDF</a>
54	Une charge électronique	<a href="#">présentation</a>	<a href="#">document PDF</a>
55	Un amplificateur en classe C	<a href="#">présentation</a>	<a href="#">document PDF</a>
56	Le monostable 74 123	<a href="#">présentation</a>	<a href="#">document PDF</a>
57	Un amplificateur en classe D	<a href="#">présentation</a>	<a href="#">document PDF</a>
58	Le transformateur en linéaire	<a href="#">présentation</a>	<a href="#">document PDF</a>
59	La loi d'ohm thermique	<a href="#">présentation</a>	<a href="#">document PDF</a>
60	Le transformateur en non linéaire	<a href="#">présentation</a>	<a href="#">document PDF</a>
61	Robustesse d'un oscillateur en anneau	<a href="#">présentation</a>	<a href="#">document PDF</a>
62	Une alimentation stabilisée	<a href="#">présentation</a>	<a href="#">document PDF</a>
63	Modélisation d'un haut-parleur	<a href="#">présentation</a>	<a href="#">document PDF</a>
64	Un synthétiseur de fréquence	<a href="#">présentation</a>	<a href="#">document PDF</a>
65	Un ampli audio de Sparkfun	<a href="#">présentation</a>	<a href="#">document PDF</a>
66	Simulation logique et analogique	<a href="#">présentation</a>	<a href="#">document PDF</a>
67	Un oscillateur à relaxation	<a href="#">présentation</a>	<a href="#">document PDF</a>
68	Lecteur de TAG RFID 125 kHz	<a href="#">présentation</a>	<a href="#">document PDF</a>
69	Diagramme de l'œil avec Pspice	<a href="#">présentation</a>	<a href="#">document PDF</a>
70	Un amplificateur hautes fréquences	<a href="#">présentation</a>	<a href="#">document PDF</a>
71	Une bizarrerie enfin expliquée...	<a href="#">présentation</a>	<a href="#">document PDF</a>
72	Comprendre le paramétrage de la FFT	<a href="#">présentation</a>	<a href="#">document PDF</a>
73	La relation de Bennett	<a href="#">présentation</a>	<a href="#">document PDF</a>
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	<a href="#">présentation</a>	<a href="#">document PDF</a>
75	Une horloge biphase sans recouvrement	<a href="#">présentation</a>	<a href="#">document PDF</a>
76	Quelques simulations sur la diode	<a href="#">présentation</a>	<a href="#">document PDF</a>
77	Un ampli classe A, avec transformateur de sortie	<a href="#">présentation</a>	<a href="#">document PDF</a>
78	Des stimuli pour PSpice	<a href="#">présentation</a>	<a href="#">document PDF</a>
79	Simuler le TL431 : zener ajustable	<a href="#">présentation</a>	<a href="#">document PDF</a>
80	Un ADC flash	<a href="#">présentation</a>	<a href="#">document PDF</a>
81	Une chaîne d'acquisition : S&H, ADC, DAC	<a href="#">présentation</a>	<a href="#">document PDF</a>
82	Un amplificateur 50 MHz	<a href="#">présentation</a>	<a href="#">document PDF</a>
83	Un dérivateur non inverseur	<a href="#">présentation</a>	<a href="#">document PDF</a>
84	Un amplificateur bipolaire avec push pull CMOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
85	Rôle des répéteurs logiques dans un circuit intégré	<a href="#">présentation</a>	<a href="#">document PDF</a>
86	Un driver logique CMOS pour charge 50 ohms	<a href="#">présentation</a>	<a href="#">document PDF</a>
87	Des triggers de Schmitt et des applications	<a href="#">présentation</a>	<a href="#">document PDF</a>
88	Un filtre gaussien analogique	<a href="#">présentation</a>	<a href="#">document PDF</a>
89	Un générateur de bruit rose	<a href="#">présentation</a>	<a href="#">document PDF</a>

90	Un anémomètre à fil chaud : simulation comportementale	<a href="#">présentation</a>	<a href="#">document PDF</a>
91	Un oscillateur à pont de Wien stabilisé par CTN	<a href="#">présentation</a>	<a href="#">document PDF</a>
92	L'emballement thermique d'une diode	<a href="#">présentation</a>	<a href="#">document PDF</a>
93	Les puissances dans un amplificateur	<a href="#">présentation</a>	<a href="#">document PDF</a>
94	Asservissement de puissance dans une résistance	<a href="#">présentation</a>	<a href="#">document PDF</a>
95	Asservissement de la puissance émise par une antenne radio	<a href="#">présentation</a>	<a href="#">document PDF</a>
96	Un driver de LED de puissance	<a href="#">présentation</a>	<a href="#">document PDF</a>
97	Exploiter Pspice pour simuler des filtres numériques	<a href="#">présentation</a>	<a href="#">document PDF</a>
98	Un filtre en cosinus surélevé avec Pspice	<a href="#">présentation</a>	<a href="#">document PDF</a>
99	Effet de la température sur un amplificateur en classe A	<a href="#">présentation</a>	<a href="#">document PDF</a>
100	Un amplificateur à transistors JFET et bipolaires	<a href="#">présentation</a>	<a href="#">document PDF</a>
<b>Supplément, hors article :</b>			
<b>mon cours « Electronique pour les communications numériques », <a href="#">polycopié couleur 201 pages en pdf</a></b>			

[retour à l'écran d'accueil de ce site](#)