

## Un oscillateur commandé en tension, à 12 transistors MOS

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet :

[page d'accueil](#)

d'autres pdf, sur différents sujets :

[liste des PDE](#)

Le but de ce travail est de vérifier -et de caractériser- par des simulations Pspice le fonctionnement d'un VCO dont le schéma complet est donné. On étudiera séparément chaque bloc, puis on mettra en œuvre tout l'ensemble.

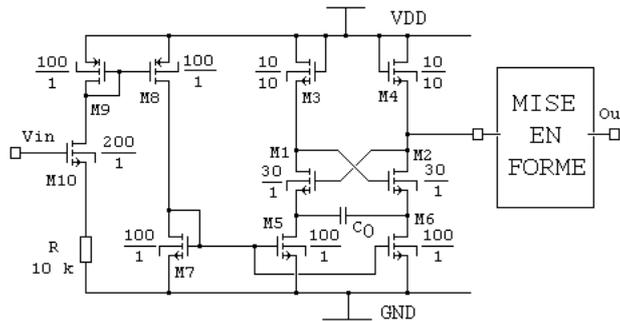
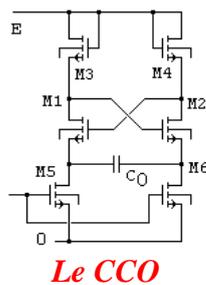


Schéma complet : par souci de clarté, les potentiels de Bulk sont représentés sommairement :  
fil vers le haut : VDD, fil vers le bas : GND.

Ce schéma peut se découper en 3 parties :  
Le noyau est un CCO (Current Controlled Oscillator).  
L'entrée montre un convertisseur tension → courant.  
Un étage de sortie reformate en niveaux logiques.

### 1) Le CCO (oscillateur commandé en courant)

Le CCO NMOS est formé par M1, M2, M3, M4, M5, M6 dont le schéma est donné ci-contre :



Hypothèses simplificatrices posées a priori :

M3, M4 se comportent comme des résistances,

M1, M2 agissent en interrupteur : ils sont passants si la tension de commande  $V_{GS}$  est supérieure à la tension de seuil  $V_T$  du transistor et bloqués sinon.

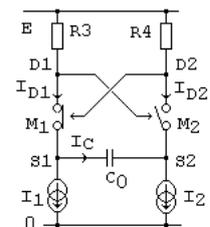
M5, M6 sont polarisés en source de courant constant.

Pour analyser le fonctionnement, on exploite alors ce schéma équivalent.

Fonctionnement simplifié :

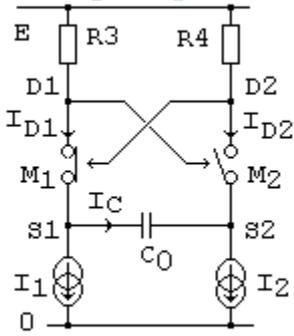
Supposons qu'une commutation vienne d'avoir lieu : M1 est ON, M2 est OFF (cas indiqués par les symboles du schéma ci-contre).

Le potentiel  $V_{S1} = V_{D1}$ .  $C_0$  se charge par M1. Après un certain temps, la tension  $V_{GS2} = V_{D1} - V_{S2}$  dépasse  $V_T$  et le transistor M2 se met à conduire.  $V_{D2}$  chute, ce qui a pour conséquence de bloquer M1 car sa tension  $V_{GS1}$  est inférieure à  $V_T$ . On se retrouve dans le cas de figure inversé, le condensateur se décharge par M2, et ainsi de suite.



**Schéma équivalent**

**Chronogrammes de principe**



La tension  $U_C$  obéit à une charge / décharge à courant constant. Elle est donc triangulaire. Le changement des pentes s'effectue quand les transistors  $M_1$  et  $M_2$  commutent.

**C'est la trace de départ des chronogrammes.**

On prend  $I_1 = I_2 = I =$  constant, ce qui donne un rapport cyclique de 50 %.

**Mode opératoire**

Courbes par courbes, tronçons par tronçons :

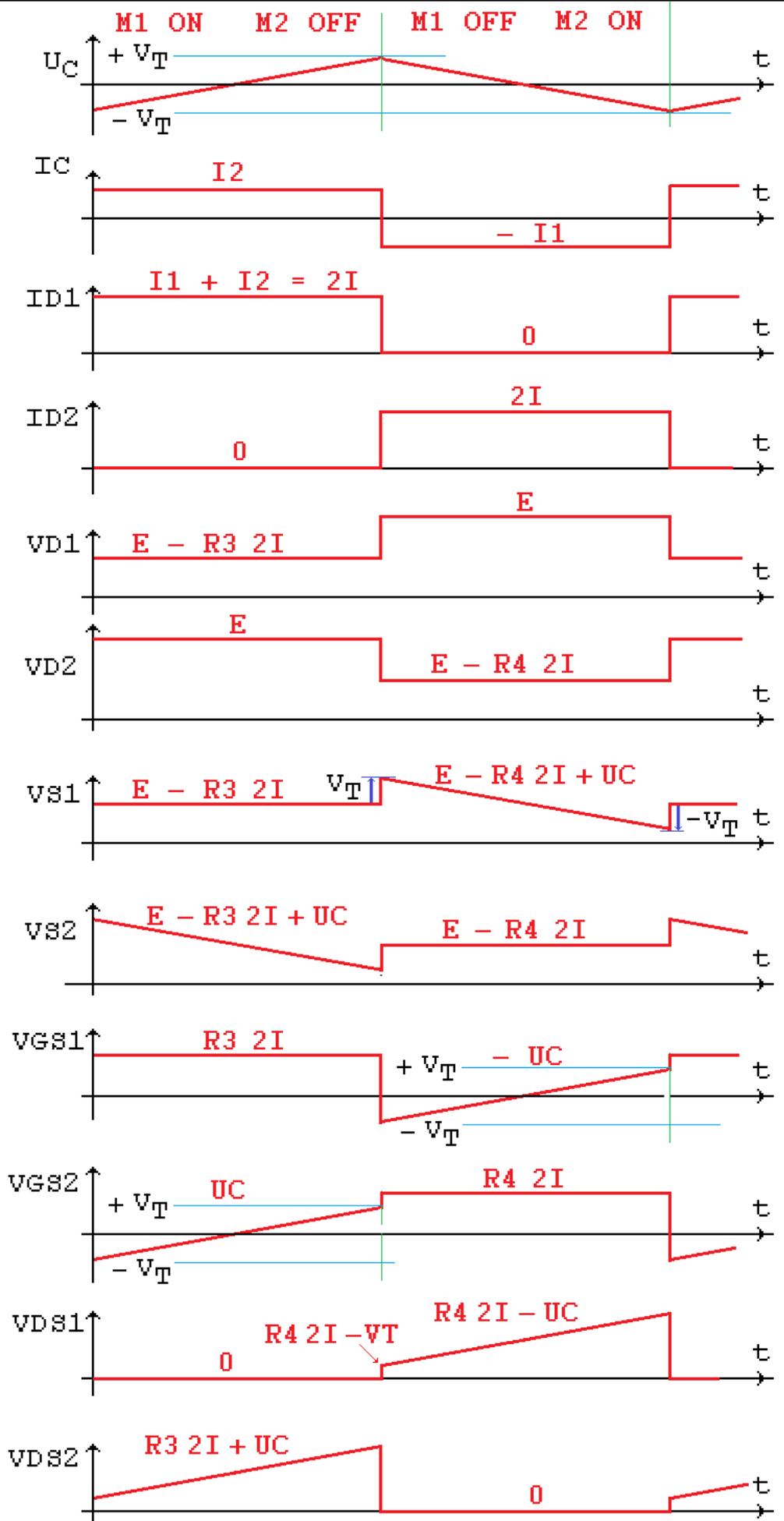
- **d'abord**, on reporte les équations, en fonction des mailles et nœuds rencontrés,

- **ensuite** on trace les chronogrammes correspondants.

*Se méfier des tracés intuitifs !*

Le résultat est donné ci-contre :

La sortie du CCO est  $V_{D1}$  (ou  $V_{D2}$ ). C'est un signal périodique, de niveau haut  $E$ , de niveau bas  $E - R_4 2 I$ .



**Relation entre fréquence et courant :**

d'après  $V_{GS}$  (1 ou 2) : durant  $T/2$ , la tension évolue de  $-V_T$  à  $+V_T$ .

Or  $v_{GS}(t) = u_C(t)$  qui est la tension aux bornes d'un condensateur traversé par  $I$  constant.

la loi  $I = C dv/dt$  peut s'écrire dans ce cas  $I = C_0 \Delta V/\Delta T$ , avec ici  $\Delta V = 2 V_T$  et  $\Delta T = T/2$ .

d'où  $I = C_0 (2 V_T)/(T/2) = 4 C_0 V_T / T$ .

Il vient :  $f = \frac{I}{4 C_0 V_T}$

Application numérique : supposons  $I = 74 \mu A$ .  
Avec  $C_0 = 10 pF$ ,  $V_T = 0,7 V$ , on a  $f = 2,64 MHz$

**Considérations électroniques :**

Les chronogrammes ont été établis d'après un schéma « comportemental » des vrais composants.

Il faut vérifier, à  $I$  donné, si les différents potentiels et tensions sont réalistes et cohérents avec les hypothèses de travail posées a priori.

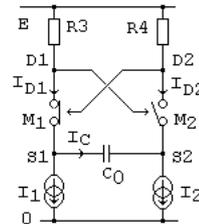


Schéma de principe

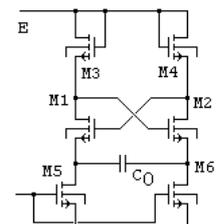


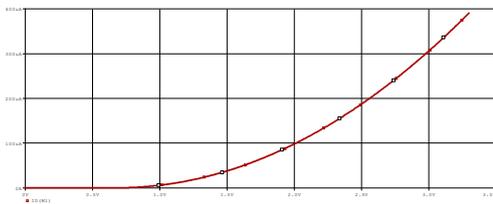
Schéma électronique

Dans la technologie utilisée, nous avons  $E = 3,3 V$  et  $V_T = 0,7 V$ .

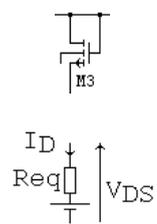
Rappel pour un MOS canal N : si  $V_{GS} > V_T$  : le transistor est en conduction.

et si  $V_{DS} > V_{eff} = V_{GS} - V_T$  : le transistor est en mode saturé.

- Une simulation indépendante a montré  $I = 74 \mu A$ .



- Une simulation indépendante de  $M_3$  où Grille est reliée au Drain, donne la caractéristique  $I_D = f(V_{DS})$  ci-contre. On peut éventuellement lui associer un modèle équivalent montrant une fem et une résistance. Pour un courant  $2 I = 148 \mu A$ , la tension  $V_{DS}$  est de  $2,3 V$ . A ce point de fonctionnement, les expressions «  $R_3 2 I$  » sont à remplacer par  $2,3 V$ .



- Il faut surveiller  $V_{DS}$  des transistors  $M_5, M_6$  : ils doivent être en mode saturé (source de courant).

Il leur faut  $V_{DS} > V_{GS} - V_T$ . Comme l'électrode source est à la masse, on a  $V_{DSM5} = V_{D5} = V_{S1}$ .

Dans le pire cas :  $V_{S1} = E - V_{DS4} + U_C = 3,3 - 2,3 - 0,7 = 0,3 V$ .

Le mode saturé de  $M_5$  sera assuré si  $V_{GSM5} > 1 V$ . Cela concerne l'étage tension → courant.

- Il faut surveiller la valeur de  $V_{D1}$ , car elle représente  $V_{DSM1} + V_{DSM5}$ .

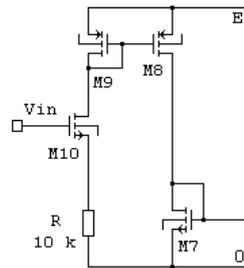
Dans le cas où  $M_1$  est ON, on a  $V_{D1} = V_{DSM5} = V_{S1} = 0,3 V$  dans le pire cas, c'est-à-dire  $V_{GSM1} > 1 V$ . Comme  $V_{GSM1} = 2,3 V$ , cette inégalité est largement respectée.

- Il faut assurer le blocage de  $M_1$  par une tension  $V_{GS1}$  inférieure à  $V_T$  (interrupteur ouvert).

- Le niveau bas de la sortie n'atteint pas  $0 V$  : cela justifie un étage de sortie pour une mise en forme.

## 2) Le convertisseur tension / courant

Le CCO est commandé par un courant  $I_1$   $I_2$ , respectivement  $I_{D5}$ ,  $I_{D6}$ . En amont se trouve une conversion tension  $\rightarrow$  courant.



**Le convertisseur  
tension  $\rightarrow$  courant**

Principe :

$M_9$ ,  $M_8$  forment un miroir de courant.

Il faut  $V_{in}$  supérieure à  $V_T$  pour rendre passant  $M_{10}$ . Dans ce cas, le courant « source » est créé par la maille  $V_{in}$ ,  $V_{GS10}$ , et  $R$ .

Le courant « dupliqué » est dans la maille  $M_8$ ,  $M_7$ .

Puis ce courant dans  $M_7$  est dupliqué dans  $M_5$  et dans  $M_6$  par miroir dans le CCO.

## 3) Simulation du VCO (convertisseur tension $\rightarrow$ courant et CCO)

VCO à transistor MOS

\* fichier VCO.cir

\* transistors AMSD :

.model MODN nmos (Level=1 Kp=110u Vto=0.68 Cgdo=0.5n Cgso=3.2n lambda=0.01)

.model MODP pmos (Level=1 Kp=40u Vto=-0.7 Cgdo=0.5n Cgso=3.2n lambda=0.01)

\*

\* circuit :

Vdd vdd 0 dc 3.3V ; alim

Vtest UF 0 DC 1.5V

\*Vin UF 0 pwl ( 0,0.75V 15us,0.75V 15.1us,1V 25us,1V 25.1us,1.25V

\*+ 35us,1.25V, 35.1us,1.5V 40us,1.5V 40.1us,1.75V 45us,1.75V 45.1us,2V)

\* cco

M1 VD1 VD2 VS1 0 MODN w=30u l=1u

M2 VD2 VD1 VS2 0 MODN w=30u l=1u

M3 vdd vdd VD1 0 MODN w=10u l=10u

M4 vdd vdd VD2 0 MODN w=10u l=10u

M5 VS1 n1 0 0 MODN w=100u l=1u

M6 VS2 n1 0 0 MODN w=100u l=1u

\* conversion tension/courant

M7 n1 n1 0 0 MODN w=100u l=1u

M8 vdd n2 n1 vdd MODP w=100u l=1u

M9 vdd n2 n2 vdd MODP w=100u l=1u

M10 n2 UF nr 0 MODN w=200u l=1u

R nr 0 10k ; regle le courant  $I_o$   
C0 VS1 VS2 10p ; donne la fréquence  
Xinvs VD2 B INVMF

\*.subckt INVMF in out

\*Valim Vdd 0 DC=3.3

\*Mp out in vdd vdd MODP W=6u L=0.35u

\*Mn out in 0 0 MODN W=0.35u L=4u

.ends

.IC V(VD2)=3

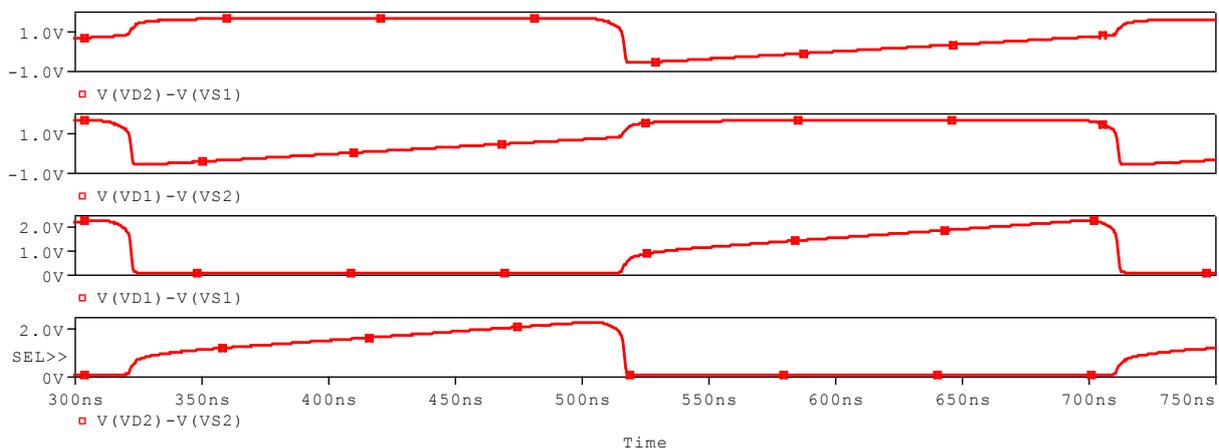
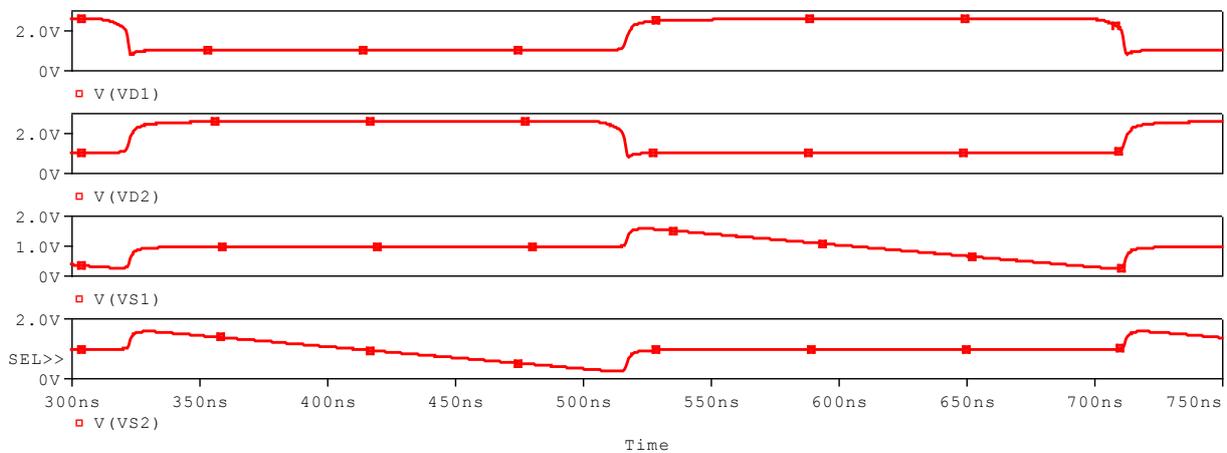
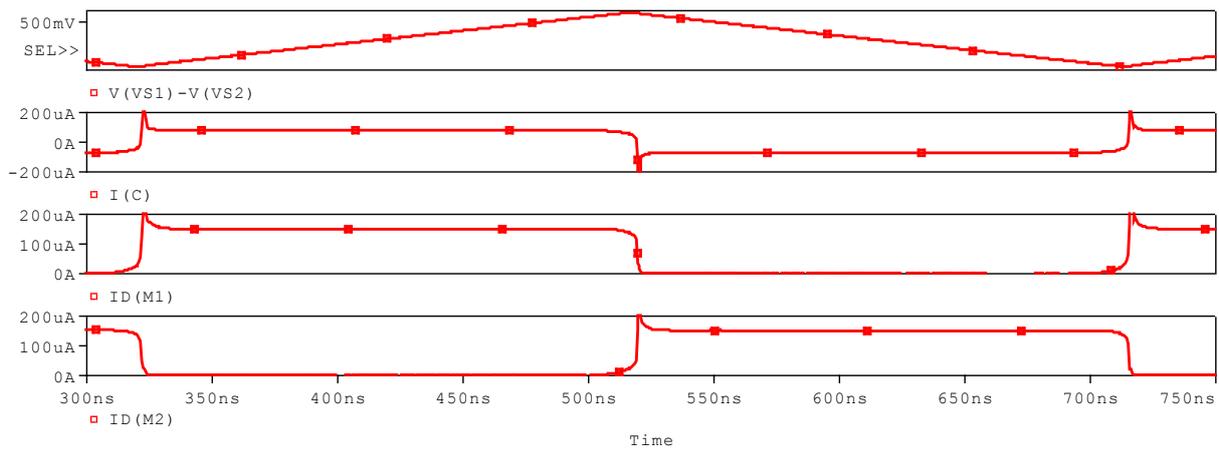
.TRAN 0.5n 50u 0 0.5n

.PROBE

.END

**Netliste prête à simuler (la tension d'entrée du VCO est nommée ici UF)**

## run n° 1 : fonctionnement à tension d'entrée fixe. Vérification du calcul.

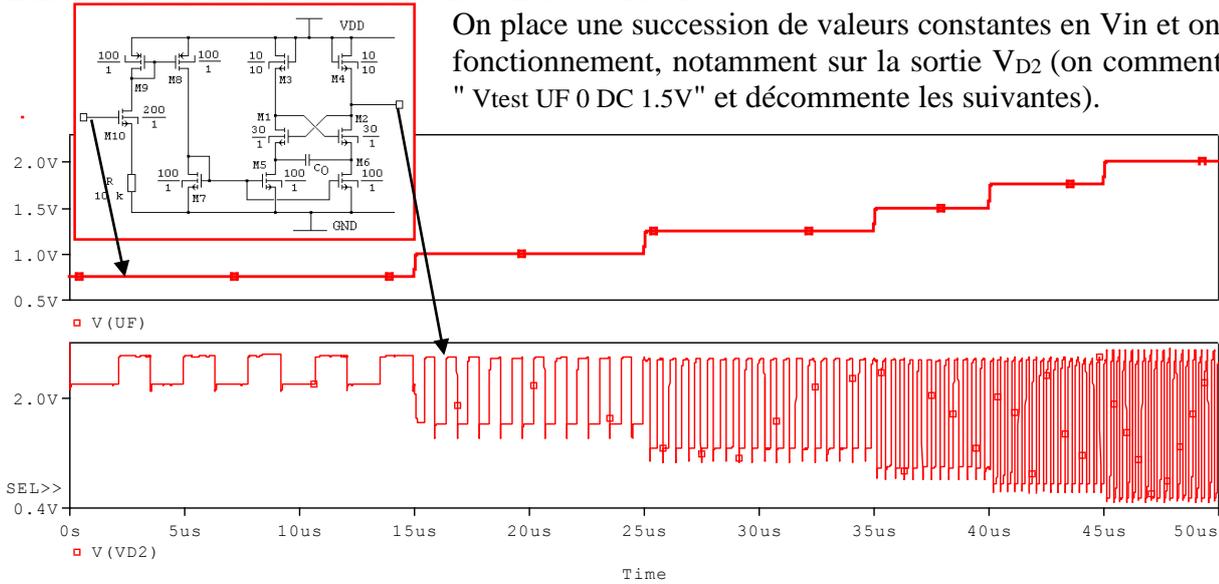


Il y a une forte ressemblance entre les graphes issus du calcul réalisé par une modélisation simplifiée, et les graphes issus de la simulation. On remarque une différence lors des commutations : pics sur les courants, ou arrondis sur les tensions, montrant que les transitions ne sont pas instantanées.

Le run a été fait à tension d'entrée = 1,5 V.

- La tension  $U_{C0}(t)$  est bien un triangle  $\pm 0,7$  V.
- Le courant  $I_{C0}$  vaut  $74,5 \mu\text{A}$  (passe à  $-74,5 \mu\text{A}$  dans l'autre état).
- Les niveaux haut des potentiels  $V_{D1}$ ,  $V_{D2}$  sont  $2,56$  V (l'écart de  $0,74$  V représente environ  $V_T$ ).
- Les niveaux bas des potentiels  $V_{D1}$ ,  $V_{D2}$  sont  $983$  mV (soit une chute de tension de  $2$  V comme prévu).
- Dans ces conditions, on mesure la fréquence :  $2,55$  MHz. Cette valeur est à  $5\%$  près celle attendue. L'étude simplifiée est confortée.

**run n° 2 : fonctionnement à tension d'entrée variable**

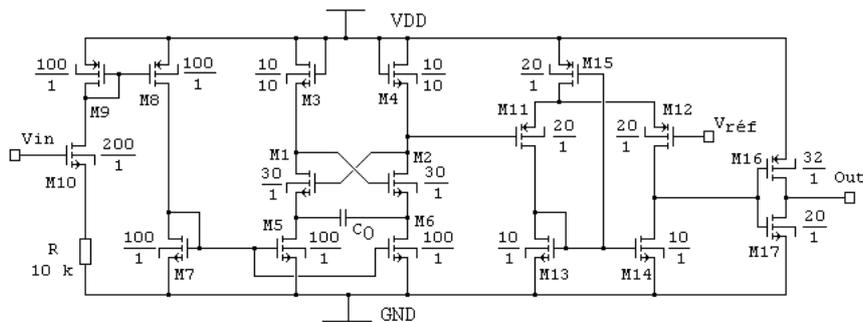


On place une succession de valeurs constantes en Vin et on vérifie le fonctionnement, notamment sur la sortie VD2 (on commente la ligne " Vtest UF 0 DC 1.5V" et décommente les suivantes).

Ce run montre que le VCO oscille sur la dynamique de tension d'entrée [0,75 V ; 2 V]. Il n'oscille pas si Vin < 0,7 V, car M10 est bloqué. En VD2 le niveau haut est sensiblement le même (pull up vers 3,3 V, avec une chute de tension d'environ 0,74 V dans M3 / M4), alors que le niveau bas est directement lié à la tension de commande par (voir le schéma de principe) E - R4 2 I : si I augmente, le niveau bas diminue. On peut mesurer, à faible Vin, (au début du chronogramme) la faible excursion en VD2 : [2,2 V ; 2,6 V].

**4) L'étage de mise en forme**

Si on veut reconstituer des niveaux logiques (0V ; 3,3 V) à partir de VD2, il faut passer par un étage de type comparateur tout ou rien, dont le seuil est réglé à mi-chemin entre 2,2 V et 2,6 V, soit 2,4 V. Remarquons que cette valeur de 2,4 V convient pour toutes les possibilités de niveau bas en VD1, VD2. Pour parfaire le signal de sortie, on peut ajouter une « couche » logique, comme le représente ce schéma alors complet :

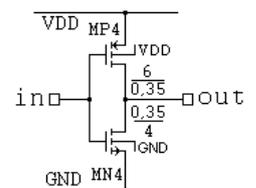


*Un exemple de schéma fini*

Dans ce schéma, il faut une source de tension Vref externe, calée par défaut à 2,4 V. Pour une simple raison de nombre de transistors (critique pour simuler ultérieurement la PLL avec la version d'évaluation de Pspice), il est proposé une autre façon de faire : un inverseur logique.

**Etage exploité (fichier INVME.cir)**

Une solution minimaliste est de placer un inverseur, avec une géométrie des transistors très particulière. La caractéristique statique V(out) = f(V(in)) de cet inverseur, inhabituelle pour un inverseur logique, convient pour notre application.



*Mise en forme par inverseur*  
in —> out



inverseur CMOS pour mise en forme

\* fichier INVMF.cir

\* transistors AMSD :

.model MODN nmos (Level=1 Kp=110u Vto=0.68 Cgdo=0.5n Cgso=3.2n lambda=0.01)

.model MODP pmos (Level=1 Kp=40u Vto=-0.7 Cgdo=0.5n Cgso=3.2n lambda=0.01)

\*

\* circuit :

Vdd vdd 0 dc 3.3 ; alim

Xinv in out INVMF

Vin in 0 DC 0 ; valeur par défaut

\* sortie en out

\*

\* sous-circuit :

.subckt INVMF in out

Valim Vdd 0 DC=3.3

Mp out in vdd vdd MODP W=6u L=0.35u ;

Mn out in 0 0 MODN W=0.35u L=4u ;

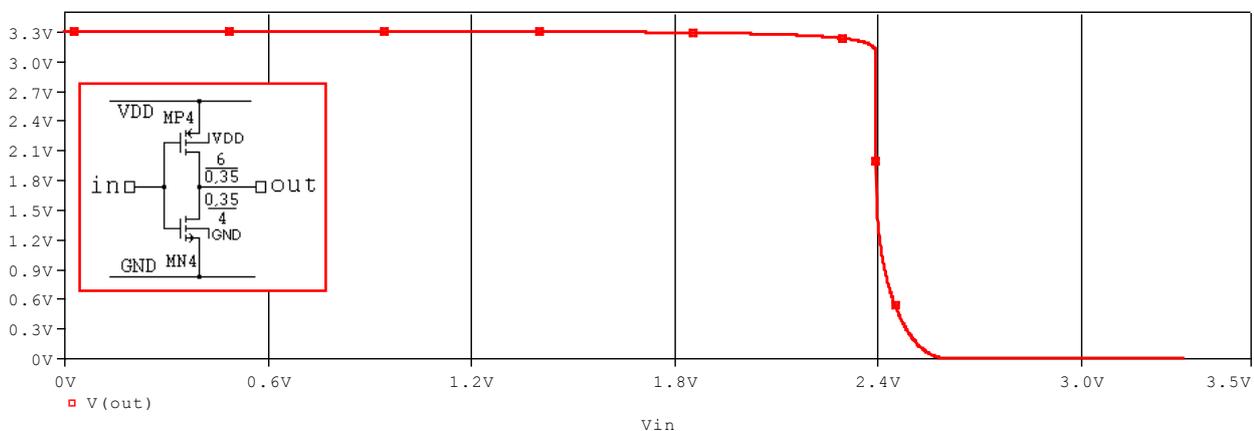
.ends

.DC Vin 0 3.3 1m ; sweep

.PROBE

.END

*Netliste prête à simuler pour l'analyse de l'inverseur de mise en forme*



*Caractéristique de transfert statique issue de la simulation*

**Interprétation.**

Cet étage de mise en forme réalise la fonction suivante :

si sa tension d'entrée < 2,4 V alors un état "1" est en sortie,

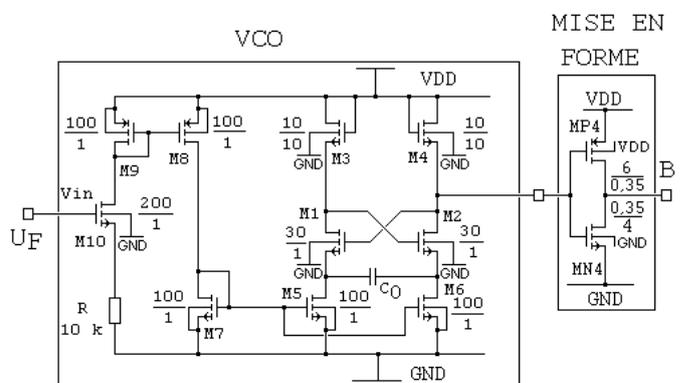
si sa tension d'entrée > 2,4 V alors un état "0" est en sortie.

Rappelons que la caractéristique habituelle d'un inverseur CMOS présente la transition aux alentours de  $VDD/2 = 1,65\text{ V}$ .

**5) Simulation du montage complet.**

On décommente la ligne mettant en service l'inverseur de mise en forme et on observe le signal en sa sortie.

Le VCO étant ainsi complet, on passe à sa caractérisation : on relance le run, et on mesure la fréquence au point B à chaque valeur d'entrée.



*La sortie du VCO et son étage de mise en forme*



le signal de sortie du CCO est remis en forme logique en V(B)

### Interprétation.

Les niveaux de potentiel à mettre en forme sont :

Tension d'entrée du VCO	Valeur min en V <sub>D1</sub> (ou V <sub>D2</sub> )	Valeur max en V <sub>D1</sub> (ou V <sub>D2</sub> )
0,75 V	2,2 V	2,6 V
1 V	1,6 V	2,6 V
1,25 V	1,26 V	2,6 V
1,5 V	1 V	2,55 V
1,75 V	0,76 V	2,54 V
2 V	0,541 V	2,54 V

Ces valeurs sont de part et d'autre de 2,4 V, et l'inverseur réalise bien son rôle.

### Relation entre tension et fréquence.

Une mesure précise au curseur permet de chiffrer avec précision la fréquence :

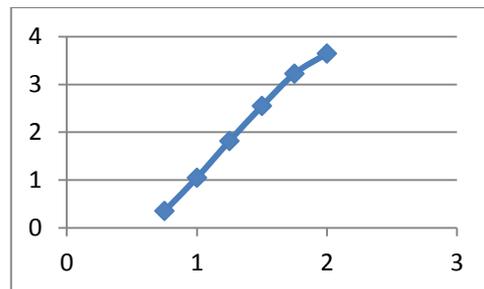
Intervalle de temps	V <sub>in</sub> (V)	Mesuré sur	1 période (μs)	Fréquence (MHz)
0 - 15 μs	0,75	3 T	2,85	0,35
15 μs - 25 μs	1	8 T	0,9525	1,05
25 μs - 35 μs	1,25	16 T	0,55	1,819
35 μs - 40 μs	1,5	10 T	0,3922	2,55
40 μs - 45 μs	1,75	14 T	0,31	3,227
45 μs - 50 μs	2	15 T	0,274	3,65

Ces 6 relevés tension / fréquence se résument sur un graphe.

Sur la partie linéaire, on a  $\omega = K_o V_{in}$ .

On peut déterminer K<sub>o</sub> dans la zone centrale :  
 $(3,227-1,05)/(1,75-1) = 2,9 \text{ MHz/V}$

Soit **18,22 (Mrad/s)/V**.



### 6) Conclusion

Ce VCO CMOS totalise 12 transistors : 4 pour le convertisseur tension courant, 6 pour le CCO, et 2 pour l'étage de mise en forme. Il délivre un signal logique, d'une technologie 0 V ; 3,3 V. Avec une tension de commande comprise entre 0,75 V et 1,75 V, il présente un coefficient  $K_o = 18,22 \text{ (Mrad/s)/V}$  (avec C<sub>0</sub> = 10 pF). Au-delà, il oscille toujours, mais sa caractéristique fréquence / tension n'est plus linéaire. Il sera exploité pour une PLL.

articles 1 à 43 : sur le livre

**Tableau récapitulatif des articles PDF disponibles sur ce site**

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	<a href="#">présentation</a>	<a href="#">document PDF</a>
44	Exemples basiques et des exercices...	<a href="#">présentation</a>	<a href="#">document PDF</a>
45	Un exemple de circuit passif	<a href="#">présentation</a>	<a href="#">document PDF</a>
46	Un oscillateur Colpitts	<a href="#">présentation</a>	<a href="#">document PDF</a>
47	Compensation en fréquence des amplificateurs opérationnels	<a href="#">présentation</a>	<a href="#">document PDF</a>
48	Un amplificateur à transistors bipolaires	<a href="#">présentation</a>	<a href="#">document PDF</a>
49	Une bascule D Flip Flop CMOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
50	Une porte XOR à transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
51	Un VCO à 12 transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
52	Une PLL à moins de 20 transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
53	Un oscillateur à résistance négative	<a href="#">présentation</a>	<a href="#">document PDF</a>
54	Une charge électronique	<a href="#">présentation</a>	<a href="#">document PDF</a>
55	Un amplificateur en classe C	<a href="#">présentation</a>	<a href="#">document PDF</a>
56	Le monostable 74 123	<a href="#">présentation</a>	<a href="#">document PDF</a>
57	Un amplificateur en classe D	<a href="#">présentation</a>	<a href="#">document PDF</a>
58	Le transformateur en linéaire	<a href="#">présentation</a>	<a href="#">document PDF</a>
59	La loi d'ohm thermique	<a href="#">présentation</a>	<a href="#">document PDF</a>
60	Le transformateur en non linéaire	<a href="#">présentation</a>	<a href="#">document PDF</a>
61	Robustesse d'un oscillateur en anneau	<a href="#">présentation</a>	<a href="#">document PDF</a>
62	Une alimentation stabilisée	<a href="#">présentation</a>	<a href="#">document PDF</a>
63	Modélisation d'un haut-parleur	<a href="#">présentation</a>	<a href="#">document PDF</a>
64	Un synthétiseur de fréquence	<a href="#">présentation</a>	<a href="#">document PDF</a>
65	Un ampli audio de Sparkfun	<a href="#">présentation</a>	<a href="#">document PDF</a>
66	Simulation logique et analogique	<a href="#">présentation</a>	<a href="#">document PDF</a>
67	Un oscillateur à relaxation	<a href="#">présentation</a>	<a href="#">document PDF</a>
68	Lecteur de TAG RFID 125 kHz	<a href="#">présentation</a>	<a href="#">document PDF</a>
69	Diagramme de l'œil avec Pspice	<a href="#">présentation</a>	<a href="#">document PDF</a>
70	Un amplificateur hautes fréquences	<a href="#">présentation</a>	<a href="#">document PDF</a>
71	Une bizarrerie enfin expliquée...	<a href="#">présentation</a>	<a href="#">document PDF</a>
72	Comprendre le paramétrage de la FFT	<a href="#">présentation</a>	<a href="#">document PDF</a>
73	La relation de Bennett	<a href="#">présentation</a>	<a href="#">document PDF</a>
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	<a href="#">présentation</a>	<a href="#">document PDF</a>
75	Une horloge biphase sans recouvrement	<a href="#">présentation</a>	<a href="#">document PDF</a>
76	Quelques simulations sur la diode	<a href="#">présentation</a>	<a href="#">document PDF</a>
77	Un ampli classe A, avec transformateur de sortie	<a href="#">présentation</a>	<a href="#">document PDF</a>
78	Des stimuli pour PSpice	<a href="#">présentation</a>	<a href="#">document PDF</a>
79	Simuler le TL431 : zener ajustable	<a href="#">présentation</a>	<a href="#">document PDF</a>
80	Un ADC flash	<a href="#">présentation</a>	<a href="#">document PDF</a>
81	Une chaîne d'acquisition : S&H, ADC, DAC	<a href="#">présentation</a>	<a href="#">document PDF</a>
82	Un amplificateur 50 MHz	<a href="#">présentation</a>	<a href="#">document PDF</a>
83	Un dérivateur non inverseur	<a href="#">présentation</a>	<a href="#">document PDF</a>
84	Un amplificateur bipolaire avec push pull CMOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
85	Rôle des répéteurs logiques dans un circuit intégré	<a href="#">présentation</a>	<a href="#">document PDF</a>
86	Un driver logique CMOS pour charge 50 ohms	<a href="#">présentation</a>	<a href="#">document PDF</a>
87	Des triggers de Schmitt et des applications	<a href="#">présentation</a>	<a href="#">document PDF</a>
88	Un filtre gaussien analogique	<a href="#">présentation</a>	<a href="#">document PDF</a>
89	Un générateur de bruit rose	<a href="#">présentation</a>	<a href="#">document PDF</a>

90	Un anémomètre à fil chaud : simulation comportementale	<a href="#">présentation</a>	<a href="#">document PDF</a>
91	Un oscillateur à pont de Wien stabilisé par CTN	<a href="#">présentation</a>	<a href="#">document PDF</a>
92	L'emballement thermique d'une diode	<a href="#">présentation</a>	<a href="#">document PDF</a>
93	Les puissances dans un amplificateur	<a href="#">présentation</a>	<a href="#">document PDF</a>
94	Asservissement de puissance dans une résistance	<a href="#">présentation</a>	<a href="#">document PDF</a>
95	Asservissement de la puissance émise par une antenne radio	<a href="#">présentation</a>	<a href="#">document PDF</a>
96	Un driver de LED de puissance	<a href="#">présentation</a>	<a href="#">document PDF</a>
97	Exploiter Pspice pour simuler des filtres numériques	<a href="#">présentation</a>	<a href="#">document PDF</a>
98	Un filtre en cosinus surélevé avec Pspice	<a href="#">présentation</a>	<a href="#">document PDF</a>
99	Effet de la température sur un amplificateur en classe A	<a href="#">présentation</a>	<a href="#">document PDF</a>
100	Un amplificateur à transistors JFET et bipolaires	<a href="#">présentation</a>	<a href="#">document PDF</a>
<b>Supplément, hors article :</b>			
<b>mon cours « Electronique pour les communications numériques », <a href="#">polycopié couleur 201 pages en pdf</a></b>			

[retour à l'écran d'accueil de ce site](#)