

Le trigger de Schmitt et des applications

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet : [page d'accueil](#)

d'autres pdf, sur différents sujets : [liste des PDF](#)

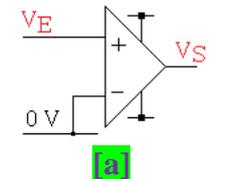
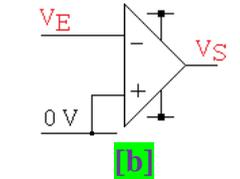
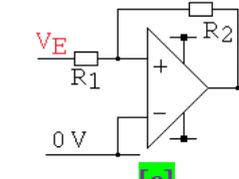
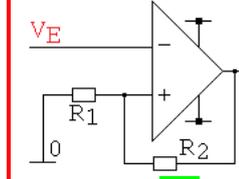
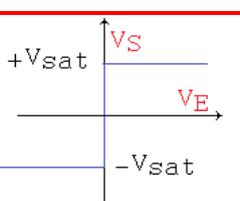
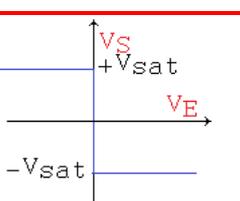
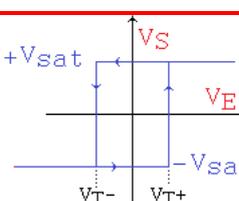
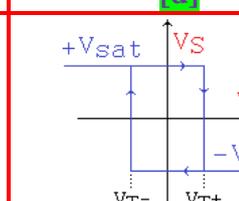
Le trigger de Schmitt est un montage connu en électronique, et porte également le nom de comparateur à hystérésis. Nous allons analyser, par la simulation, plusieurs schémas différents.

1) Le noyau : un comparateur tout ou rien

Un comparateur tout ou rien est un circuit similaire à un amplificateur opérationnel : il dispose de 2 entrées, $e+$ et $e-$, et d'une sortie. On pose $\epsilon = e+ - e-$. L'amplification statique est infiniment grande. L'impédance de sortie est faible.

L'absence de contre réaction oblige la tension de sortie V_S à aller vers $+\infty$ (quand $\epsilon > 0$) ou $-\infty$ (quand $\epsilon < 0$). Cette divergence est fatalement bloquée par les valeurs des alimentations, et V_S ne peut prendre que 2 valeurs possibles. En alimentation bipolaire, ces valeurs sont usuellement appelées $+V_{sat}$, et $-V_{sat}$. On peut utiliser un amplificateur opérationnel pour cette fonction. Dans ce cas, il est en mode non linéaire. On peut remarquer que l'entrée est analogique et la sortie, binaire, car à 2 états.

4 montages sont possibles, qui donnent 4 fonctions de transfert statique différentes :

			
			
Seuil de basculement : potentiel de $e-$, soit, ici : 0 V	Seuil de basculement : potentiel de $e+$, soit, ici : 0 V	2 seuils de basculement : $V_{T+} = V_{sat} \frac{R_1}{R_2}$ $V_{T-} = -V_{sat} \frac{R_1}{R_2}$	2 seuils de basculement : $V_{T+} = V_{sat} \frac{R_1}{R_1 + R_2}$ $V_{T-} = -V_{sat} \frac{R_1}{R_1 + R_2}$

La caractéristique de transfert statique peut présenter un dédoublement, conséquence du pont diviseur de tension qui reçoit 2 tensions différentes. Ce dédoublement justifie le nom de comparateur à hystérésis. La caractéristique $V_S = f(V_E)$ est appelé également **cyclogramme**.

2) Trigger de Schmitt à base d'amplificateur opérationnel

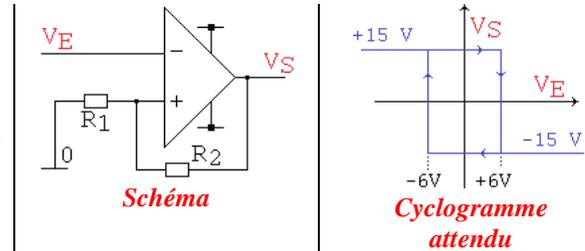
On a choisi le LF411, disponible dans eval.lib. Cet A. Op. est connu par sa grande impédance d'entrée (ampli différentiel à JFET en ϵ), et est bien plus rapide que le basique LM741.

2a) Utilisation du comparateur à hystérésis

Soit le schéma ci-contre, où l'alimentation est ± 15 V. C'est le cas **11**.

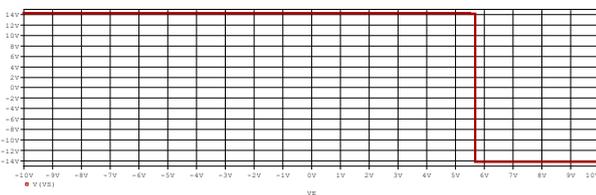
On a $R_1 = 6,8$ k Ω , $R_2 = 10$ k Ω .

En première approximation, on a $|V_{sat}| = 15$ V, le potentiel $|e+|$ est 6 V par pont diviseur R_1, R_2 .



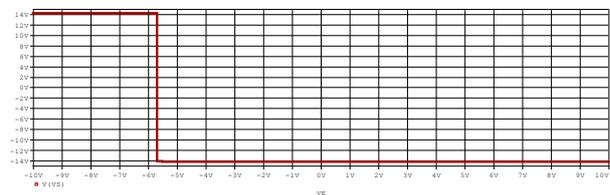
2b) Simulation statique (netliste en annexe 1)

DC VE -10V +10V 1mV



*VS à entrée croissante
commutation à $V_E = 5,6$ V*

.DC VE 10V -10V 1mV



*VS à entrée décroissante
commutation à $V_E = -5,6$ V*

Interprétation :

Le cyclogramme est montré ici en 2 runs.

La tension de sortie n'a que 2 valeurs possibles : +14 V et -14 V.

Le changement d'état se fait pour $V_E = 5,6$ V. On confirme ainsi le cycle attendu.

2c) Simulation dynamique : Oscillateur à relaxation (netliste en annexe 2)

On ajoute un circuit R C. On pose $\tau = RC$. Rappelons l'équation de :

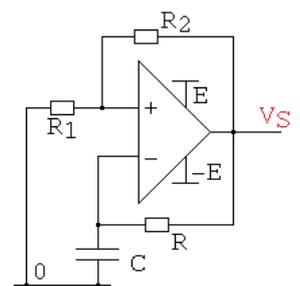
• charge d'un condensateur, vers une tension V_{sat} , étant initialement chargé à $t = 0$, d'une tension $-V_T$: $u_C(t) = V_{sat} [1 - \exp(-t/\tau)] - V_T \exp(-t/\tau)$ avec l'origine des temps au départ de la croissance.

• décharge d'un condensateur, vers une tension $-V_{sat}$, étant initialement chargé à $t = 0$, d'une tension V_T : $u_C(t) = -V_{sat} [1 - \exp(-t/\tau)] + V_T \exp(-t/\tau)$ avec l'origine des temps au départ de la décroissance.

Le fonctionnement qualitatif est le suivant :

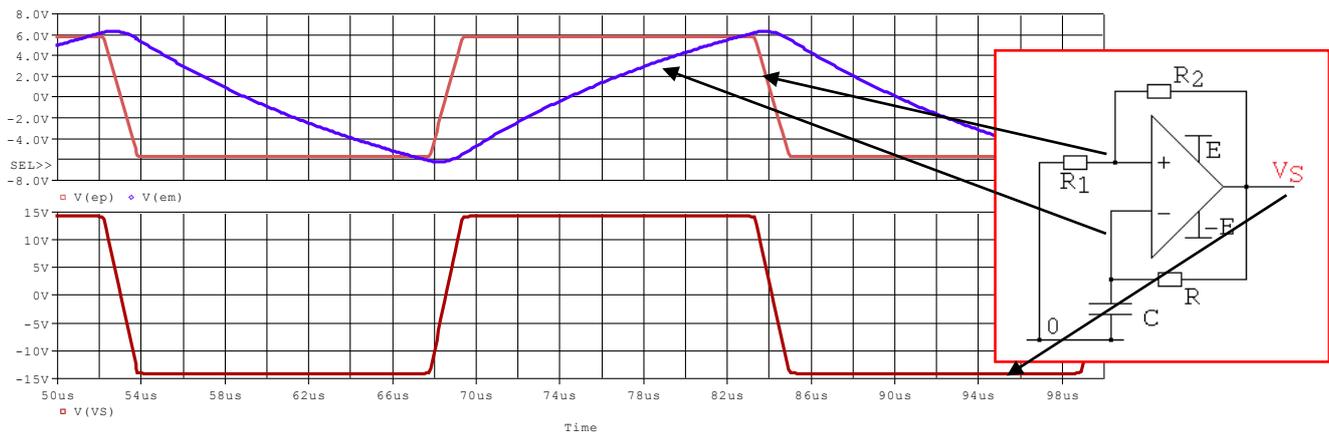
supposons $V_S = +V_{sat}$, le condensateur se charge vers $+V_{sat}$, et le potentiel $e-$ croît puis traverse le potentiel en $e+$. On a ϵ qui change de signe.

Dès lors le comparateur bascule, et V_S passe instantanément à $-V_{sat}$, le potentiel en $e+$ descend instantanément, la tension aux bornes du condensateur décroît, le potentiel $e-$ traverse le potentiel en $e+$, et une nouvelle commutation a lieu et la sortie est ainsi périodique.



Oscillateur à trigger de Schmitt

Le chronogramme ci-dessous, issu de la simulation, illustre ce fonctionnement



Oscillateur à base de LF411 : Plot supérieur : e+, e-. Plot inférieur : Vs

Interprétation :

On retrouve bien la charge et décharge de C. La commutation a lieu quand e+ = e-. Cela se traduit par un changement de valeur de la tension de sortie, et par conséquence, sur e+, par pont diviseur de tension.

On remarque qu'il faut 1,7 μs pour franchir 28 V en sortie, soit un slew rate de 17 V / μs.

C'est proche à la valeur de son slew rate typique 13 V / μs (documentation constructeur du LF411) :

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
SR	Slew rate		8	13		V/μs

Détermination de la fréquence théorique (en supposant l'ampli op parfait)

Posons t = 0 le départ de la croissance, et T la période.

Par symétrie, la loi de charge est interrompue à t = T/2. On a e+ = e-, qui s'écrit respectivement:

$$V_{sat} \frac{R_1}{R_1 + R_2} = V_{sat} [1 - \exp(-T/2\tau)] - V_{sat} \frac{R_1}{R_1 + R_2} \exp(-T/2\tau)$$

On déduit alors : $T = 2 \tau \ln \left(\frac{2R_1 + R_2}{R_2} \right)$

Vérifions : $\tau = 33 \text{ k}\Omega \times 0,47 \text{ nF} = 15,51 \text{ }\mu\text{s}$. D'où $T = 2 \times 15,51 \text{ }\mu\text{s} \ln \left(\frac{23,6 \text{ k}}{10 \text{ k}} \right) = 26,6 \text{ }\mu\text{s}$.

La fréquence est $1/T = 37,5 \text{ kHz}$.

La valeur de période donnée par la simulation est de 31 μs. L'écart est justifié car la simulation prend en compte le slew rate de l'A. Op. qui dégrade la forme d'onde par des transitions moins franches.

3) A base de comparateur dédié

3a) Le comparateur LM311

Il existe des circuits qui réalisent la fonction comparateur tout ou rien. Dans de nombreux cas, c'est plus judicieux de les exploiter plutôt que de prendre un Ampli. Op, pénalisé par son slew rate.

On propose d'exploiter un LM311, (disponible dans la librairie Eval.lib de Pspice), qui a la particularité d'avoir 2 sorties, connectées sur le transistor interne de sortie : collecteur ouvert, et émetteur ouvert. C'est à l'utilisateur de connecter les broches appelées GND et OUTPUT selon le montage.

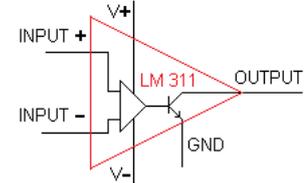


Schéma simplifié du LM 311

3b) Schéma

Il s'agit du montage précédent dans lequel on a remplacé l'A. Op. LF411 par un comparateur LM311. Ici, on ajoute une résistance de pull up sur la sortie, 1 kΩ arbitrairement, et on place une liaison directe au - 15 V sur la borne GND. Les 2 valeurs en V_s sont donc +15 V (transistor interne bloqué) et quasiment - 15 V (transistor interne saturé).

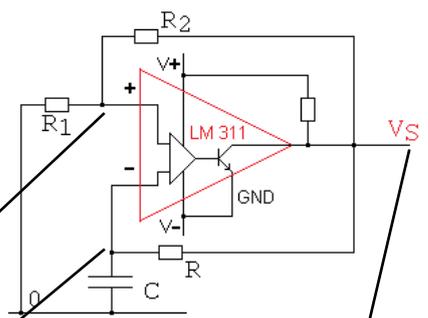
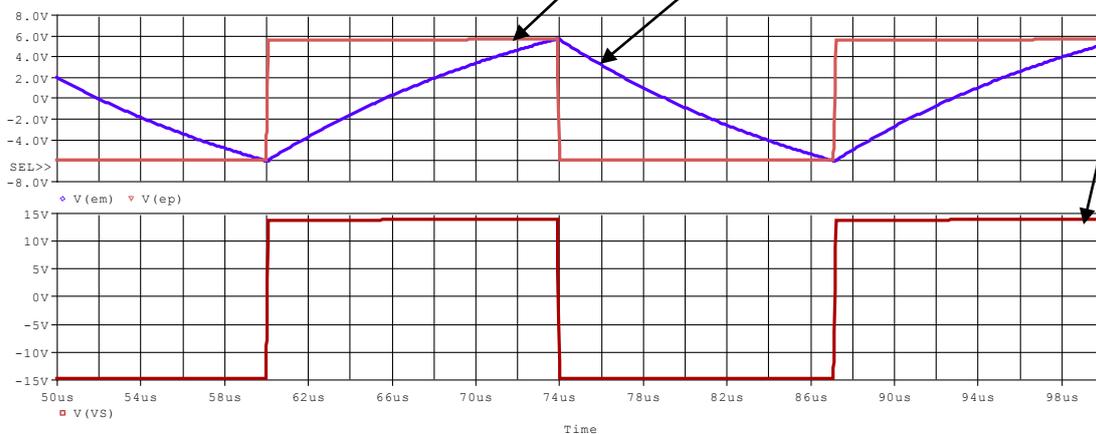


Schéma à base de LM311

3c) Simulation (netliste en annexe 3)



Oscillateur à base de LM311 : Plot supérieur : e+, e-. Plot inférieur : Vs

Interprétation :

Le fonctionnement est identique au schéma à base d'A. Op. Mais avec ce comparateur, les commutations sont bien plus franches.

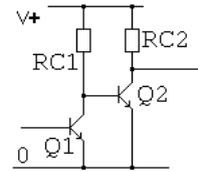
La période mesurée au curseur est de **27,1 μs** : on est quasiment à la valeur théorique, obtenue avec un A. Op. parfait. (On remarque sur le chronogramme que la sortie du LM311 n'est pas exactement symétrique à ± 15 V, ce qui modifie légèrement le calcul de T/2).

Trace Color	Trace Name	Y1	Y2	Y1 - Y2
	X Values	87.165u	60.062u	27.104u
CURSOR 1,2	V(VS)	-54.795m	310.502m	-365.297m

4) A base de 2 transistors bipolaires

4a) Schéma de l'ampli seul

Il existe une autre solution que l'utilisation d'un comparateur tout ou rien : un amplificateur rudimentaire à 2 transistors montés en émetteur commun. La polarisation ne suit pas le raisonnement d'un amplificateur linéaire en classe A (qui est V_{BE} direct, V_{BC} inverse, et point de fonctionnement placé judicieusement dans le quadrant I_C , V_{CE}), car on exploite les transistors uniquement en bloqué / saturé :



Ampli à 2 transistors

L'alimentation est de 5 V

Soit $R_{C1} = 10 \text{ k}\Omega$; $R_{C2} = 1 \text{ k}\Omega$

- Q_1 bloqué, Q_2 saturé. C'est l'état d'équilibre à entrée nulle. Sans signal, soit à $V_{BEQ1} = 0$, Q_1 est forcément bloqué.

Le courant dans R_{C1} est $I_{B2} = \frac{V^+ - V_{BE2}}{R_{C1}}$. Pour assurer la saturation de Q_2 , il faut $I_{B2} \gg I_{C2} / \beta$.

I_{C2} est très proche de $V^+ / R_{C2} = 5 \text{ V} / 1 \text{ k}\Omega = 5 \text{ mA}$. β est usuellement de l'ordre de 100. Il faut donc $I_{B2} \gg 50 \text{ }\mu\text{A}$. On a $V_{BEQ2} \approx 0,6 \text{ V}$.

D'où $I_{B2} = \frac{5 - 0,6}{10\text{k}} = 440 \text{ }\mu\text{A}$. L'inégalité est vérifiée.

- Q_1 saturé, Q_2 bloqué.

C'est le signal d'entrée qui met en conduction Q_1 .

Cela se produira s'il atteint environ 0,6 V, et que l'entrée débite $I_{B1} \gg I_{C1} / \beta$.

I_{C1} est très proche de $V^+ / R_{C1} = 5 \text{ V} / 10 \text{ k}\Omega = 0,5 \text{ mA}$. β est usuellement de l'ordre de 100.

Il faut donc $I_{B1} \gg 5 \text{ }\mu\text{A}$. Ce qui doit être délivré par le signal d'entrée.

Q_2 est forcément bloqué, car $V_{BE2} = V_{CE1\text{sat}} < 0,6 \text{ V}$.

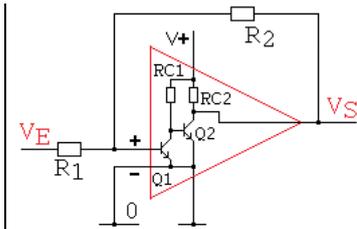
4b) Schéma du trigger de Schmitt

On place les 2 résistances qui réalisent un pont diviseur de tension, comme le cas [11](#).

Ce pont diviseur de tension permet de créer l'hystérésis :

$R_1 = 1 \text{ k}\Omega$; $R_2 = 10 \text{ k}\Omega$.

La sortie est au collecteur de Q_2 .



- Q_1 bloqué, Q_2 saturé ($V_S \approx 0 \text{ V}$, $I_{C1} \approx 0,5 \text{ mA}$, et $I_{C2} = 0$).

=> Pour mettre en conduction Q_1 , il faut une valeur à V_E telle que :

$$V_E \frac{R_2}{R_1 + R_2} > 0,6 \text{ V. On a } \frac{R_2}{R_1 + R_2} = 0,91.$$

$$\text{On déduit : } \boxed{V_E > 0,66 \text{ V}}$$

Il faut donc $V_E > 0,66 \text{ V}$ pour faire rentrer Q_1 en conduction et passer dans l'autre état stable.

- Q_1 saturé, Q_2 bloqué ($V_S \approx 5 \text{ V}$, $I_{C1} = 0$, et $I_{C2} \approx 5 \text{ mA}$)

Quand V_S passe à l'état haut, le pont diviseur place un potentiel positif sur l'entrée + du comparateur, ce qui confirme la conduction de Q_1 jusqu'à sa saturation.

=> Pour revenir à l'état stable précédent, il faut que V_{B1} repasse sous le seuil de 0,6 V.

V_{B1} est, par contribution de V^+ (à $V_E = 0$) et contribution de V_E (à $V^+ = 0$) :

$$V^+ \frac{R_1}{R_{C2} + R_1 + R_2} + V_E \frac{R_{C2} + R_2}{R_{C2} + R_1 + R_2}, \text{ soit : } 5 \text{ V } \frac{1\text{k}}{12\text{k}} + V_E \frac{11\text{k}}{12\text{k}} < 0,6 \text{ V.}$$

$$\text{On déduit : } \boxed{V_E < 0,2 \text{ V}}$$

Il faut donc $V_E < 0,2 \text{ V}$ pour bloquer Q_1 et revenir à l'état stable précédent.

4c) Simulation statique (netliste en annexe 4)

Vérifions l'état des transistors :

VE= 0 V

NAME	Q1	Q2
MODEL	Q2N2222	Q2N2222
IB	-1.16E-13	4.30E-04
IC	8.44E-13	4.96E-03
VBE	3.30E-03	7.03E-01
VBC	-7.00E-01	6.67E-01
VCE	7.03E-01	3.63E-02
BETADC	-7.29E+00	1.15E+01

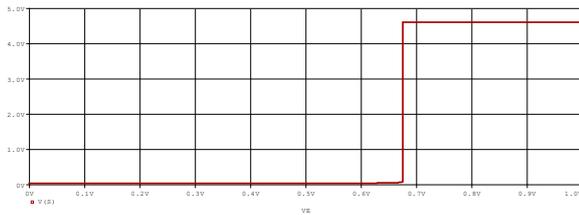
Q1 est OFF (aucun courant).
 Q2 est saturé (VBE et VBC en direct)
 V(S) = 36,3 mV (= VCEsat).

VE= 5 V

NAME	Q1	Q2
MODEL	Q2N2222	Q2N2222
IB	4.60E-03	-7.57E-13
IC	4.99E-04	5.68E-12
VBE	7.82E-01	5.29E-03
VBC	7.77E-01	-4.61E+00
VCE	5.29E-03	4.62E+00
BETADC	1.09E-01	-7.51E+00

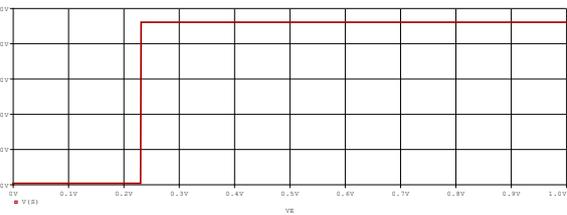
Q1 est saturé (VBE et VBC en direct)
 Q2 est OFF (aucun courant).
 V(S) = 4,62 V (= VCE2).

.DC VE 0 5V 1mV :



*VS à entrée croissante
 commutation à VE = 675 mV*

.DC VE 5V 0 1mV

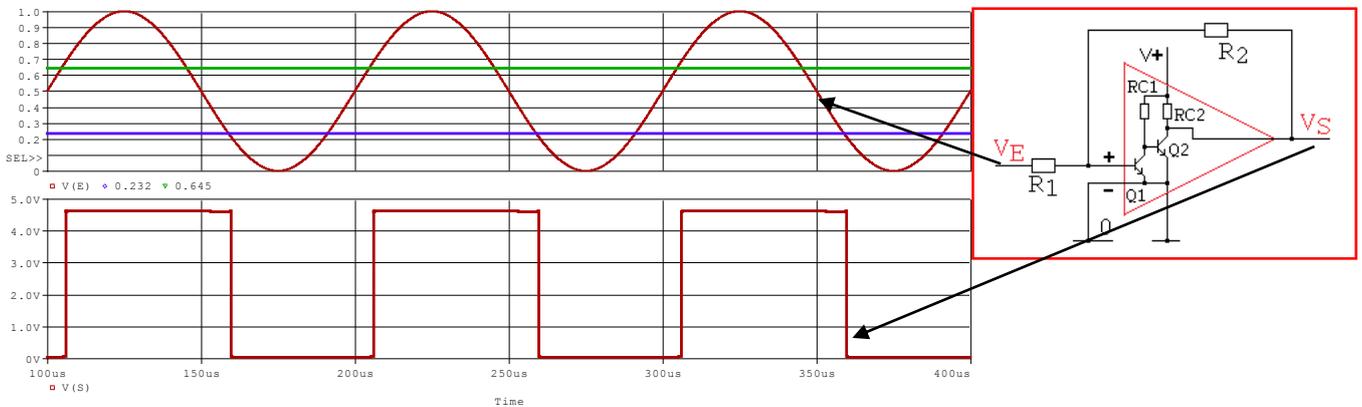


*VS à entrée décroissante
 commutation à VE = 232 mV*

Interprétation : on est très proche des valeurs numériques déterminées par un calcul simplifié.

4d) Simulation dynamique

On injecte en VE une sinusoïde de 10 kHz, positionnée entre 0 V et 1 V.



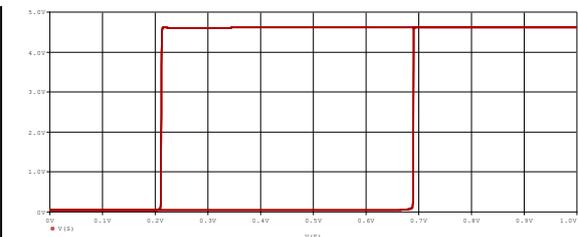
*Plot supérieur : entrée sinusoïdale, et des repères à 232 mV, 645 mV
 Plot inférieur : VS*

Interprétation

Quand le signal d'entrée traverse 645 mV en phase montante, VS passe à l'état haut. Et quand le signal d'entrée traverse 232 mV en phase descendante, VS passe à l'état bas.

Sur ce run transitoire, on peut, en affectant VE sur l'axe des abscisses, afficher le cyclogramme :

On retrouve le cyclogramme simulé précédemment.



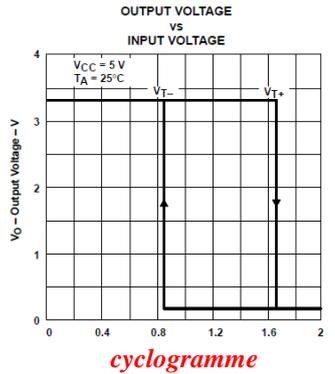
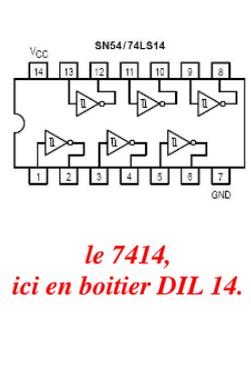
5) A base d'un circuit intégré 7414

5a) Le SN 7414

Parmi les circuits intégrés logiques, on peut citer le très connu SN7414, de Texas Instrument.

C'est un circuit de technologie TTL, des années 1970, et qui se fabrique et s'emploie encore.

Il s'agit d'un inverseur, mais avec cycle d'hystérésis : Les valeurs nominales sont $0,9\text{ V}$ et $1,7\text{ V}$.



Remarque :

Le cyclogramme donné dans les datasheet indique des valeurs légèrement décalées : $0,85\text{ V}$ et $1,65\text{ V}$.

Bien qu'il existe le modèle comportemental de ce SN7414 dans la librairie de Pspice [formé d'une primitive (la fonction logique) et des interfaces (pour les connexions avec l'analogique)], réalisons les simulations avec le schéma interne à transistors, donné par le constructeur.

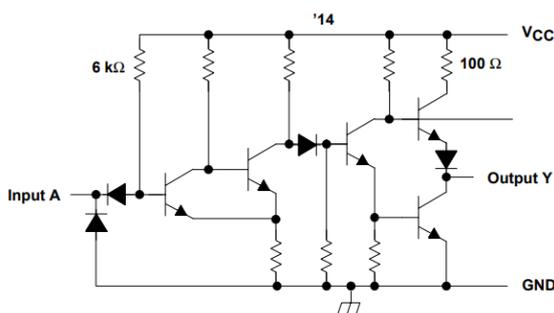


Schéma interne du SN7414 (source Texas Instrument)

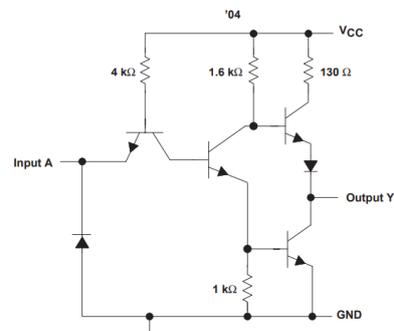


Schéma interne du SN7404 (source T.I.)

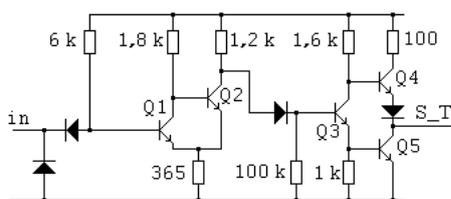
On reconnaît, sur l'étage d'entrée, le trigger à 2 transistors bipolaires, mais avec une résistance supplémentaire. Cette dernière permet de décaler le seuil haut d'une part, et accélère la commutation d'autre part (la mise en conduction du 2ème transistor confirme le blocage du premier par remontée du potentiel d'émetteur).

L'étage de sortie est totem pôle, présent sur les circuits logiques de cette famille.

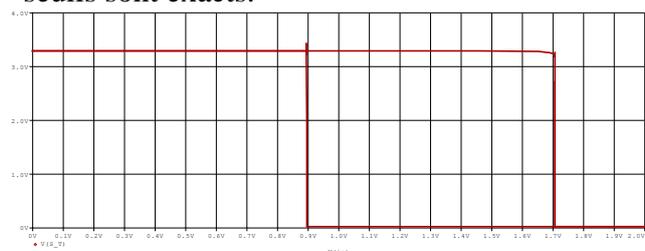
Dans le schéma interne du 7414, il n'est pas indiqué les valeurs numériques de 6 résistances. Mais on peut raisonnablement penser que l'étage totem pôle est identique à celui du 7404, qui lui, est indiqué.

5b) Simulation (netliste en annexe 5)

Par quelques runs de simulation pour trouver un cyclogramme conforme aux seuils de $0,9\text{ V}$ et $1,7\text{ V}$, on aboutit à :



Une simulation donne le cyclogramme, dont les seuils sont exacts.



cyclogramme issu de la simulation

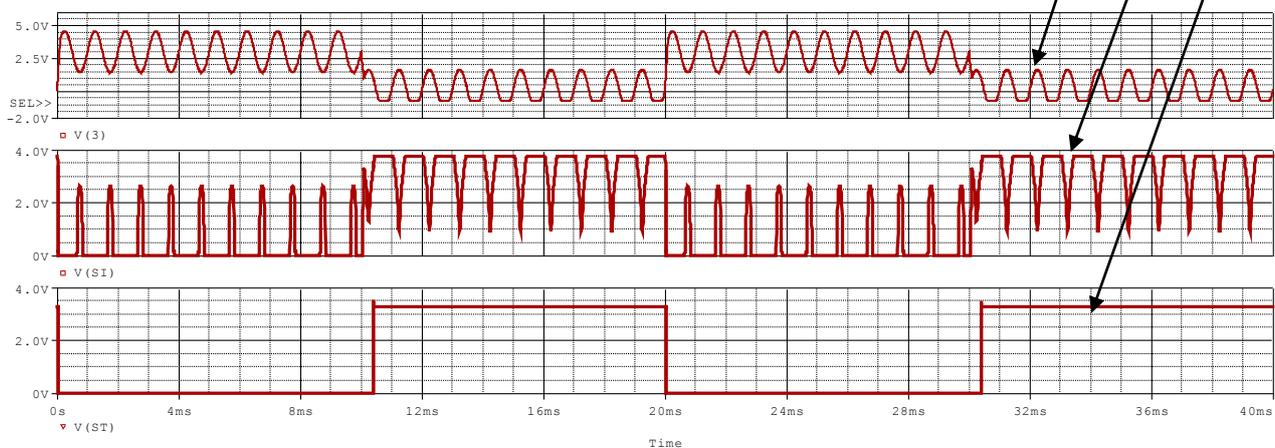
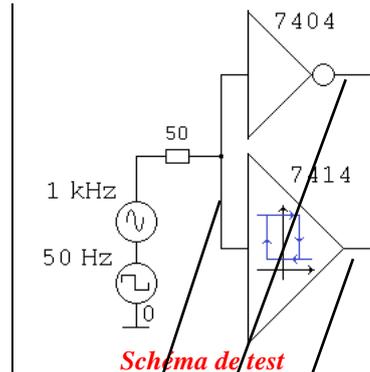
Interprétation

Les seuils de basculement sont conformes. On remarque que le niveau haut est de $3,2\text{ V}$.

5c) Simulation dynamique (netliste en [annexe 6](#))

Montrons l'intérêt d'utiliser le 7414 lors de restitution d'un signal logique à partir d'un signal bruité.

Pour ce faire, modélisons le signal bruité par la somme d'un signal logique (cadencé à 50 Hz) avec une sinusoïde (ici du 1 kHz), et comparons ce que fait un simple inverseur (7404) et la mise en forme par un trigger de Schmitt (7414). Dans notre simulation, il a suffi de placer 2 sources en série, avec une résistance interne de 50 Ω .



Signal logique bruité.
La sortie de l'inverseur 7404.
La sortie du trigger de Schmitt 7414.

Interprétation

- Le signal bruité montre des niveaux haut et bas (respectivement 0 V, 3 V) pollués par une variation (2,4 V c-à-c).
- Les écarts de tension sont tels qu'un inverseur 7404 interprète ces variations par un changement d'état. La sortie de cet inverseur n'est donc pas un signal logique, mais un signal parasite par des aléas. Un montage logique qui lui serait connecté verrait des rafales de 0 et 1, et/ou des valeurs indéterminées.
- La sortie du trigger de Schmitt montre une remise en forme réussie : le signal est reconstitué.

6) A base de transistors MOS

6a) Principe de base : modification du seuil de basculement d'un inverseur logique.

En première approximation, le seuil de basculement d'un inverseur CMOS est lié à la géométrie de ses transistors (W et L), et du gain des transistors (K_N, K_P).
On peut donc régler le seuil de basculement en choisissant la géométrie d'un transistor.

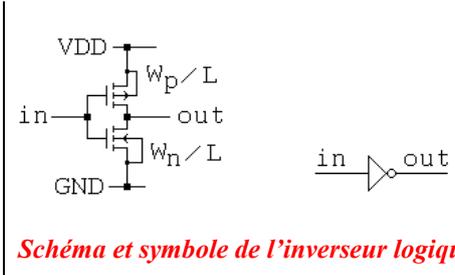
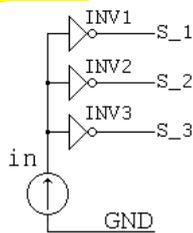


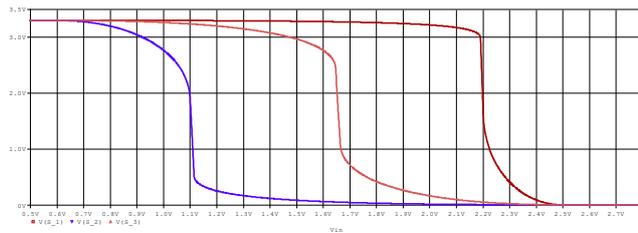
Schéma et symbole de l'inverseur logique

Pour illustrer ce fait, on simule 3 inverseurs, pilotés par la même entrée, mais de géométrie différente.

(netliste en annexe 7)



Le schéma simulé



Caractéristique de transfert statique de 3 inverseurs.
à L constante ($= 0,35 \mu\text{m}$), on agit sur W des transistors.
les seuils de basculement sont alors :
1,1 V : transistor à $W_P = 50 \mu\text{m}$; $W_N = 110 \mu\text{m}$
1,65 V : transistor nominal à $W_P = 5,5 \mu\text{m}$; $W_N = 1 \mu\text{m}$
2,2 V : transistor à $W_P = 50 \mu\text{m}$; $W_N = 0,5 \mu\text{m}$

Interprétation :

L'inverseur « nominal » bascule à 1,65 V. Sa caractéristique est centrée. Elle est donnée à titre d'information.

Les inverseurs « extrêmes » sont à W du transistor P = 50 μm .

Pour basculer à 2,2 V, il a fallu réduire W_N à 0,5 μm .

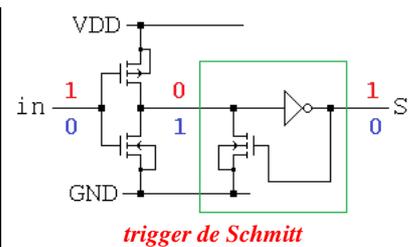
Pour basculer à 1,1 V, il a fallu augmenter W_N à 110 μm .

Consulter l'annexe 10 pour le calcul des seuils.

6b) Trigger de Schmitt à transistors MOS

Une façon de modifier la taille d'un transistor est de lui placer un autre transistor en parallèle et commandé par le même signal. Cela permet de modifier le seuil de basculement.

Pour réaliser un trigger de Schmitt, on place 2 inverseurs en cascade. De cette façon, en sortie du deuxième inverseur, on reproduit le signal d'entrée. Ce deuxième inverseur commande un transistor N supplémentaire dont Drain et Source sont connectés sur Drain et Source du transistor N du premier inverseur :



trigger de Schmitt

- Si l'entrée « in » est à 0, le transistor N du premier inverseur est OFF, le PMOS est ON, ce qui donne un état logique 1 en sa sortie, et de nouveau 0 à la sortie S. Le transistor N supplémentaire est OFF, donc sans effet.

- Si l'entrée « in » est à 1, le transistor N du premier inverseur est ON, le PMOS est OFF, ce qui donne un état logique 0 en sa sortie, et de nouveau 1 à la sortie S. Le transistor N supplémentaire est ON, donc conducteur, et agit en parallèle avec le NMOS du premier inverseur. Par contre, il ne faut pas se contenter de voir que les W s'additionnent : en effet il faut considérer l'association deuxième inverseur + NMOS supplémentaire pour y voir un W équivalent. Il y a une branche de retour qui forme une réaction.

Au final, cela revient à dire que lors du passage de 0 à 1, l'inverseur 1 est d'origine, et lors du passage de 1 à 0, l'inverseur 1 est modifié. On passe donc d'une caractéristique de transfert à l'autre. De plus, l'inverseur 2 apporte une mise en forme pour délivrer un signal intègre en S.

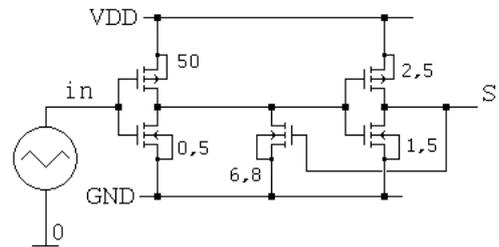
6c) Schéma résultant et cyclogramme (netliste en annexe 8)

Le schéma final est, avec $L = 0,35 \mu\text{m}$ pour tous les transistors :

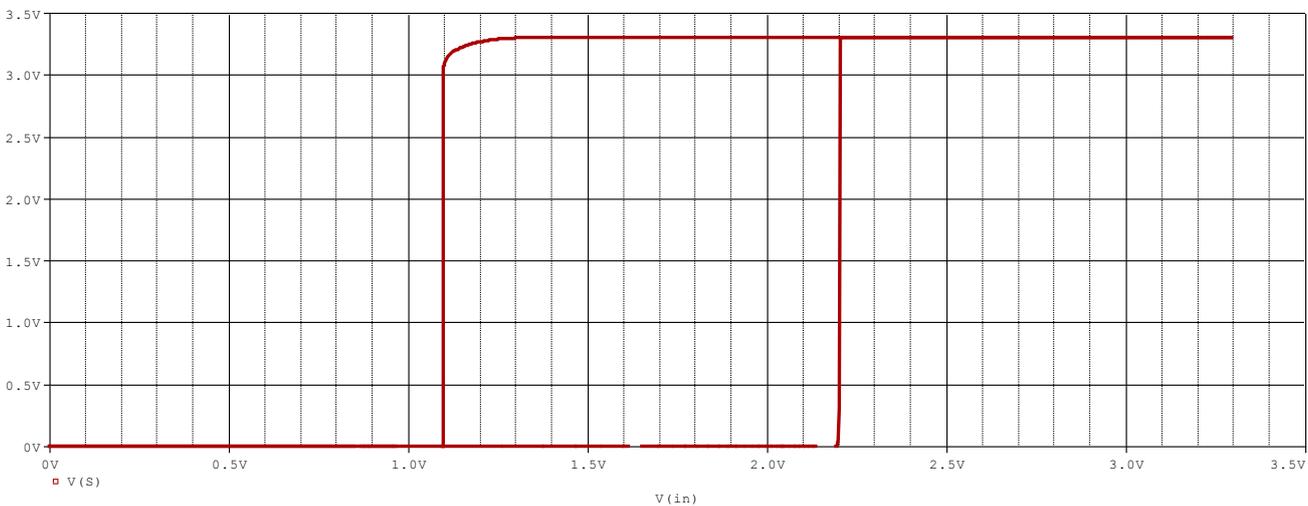
On retrouve au premier inverseur le dimensionnement pour basculer à 2,2 V : $W_P = 50 \mu\text{m}$ et $W_N = 0,5 \mu\text{m}$.

Pour avoir le basculement à 1,1 V, il faudrait, d'après la simulation 5a) disposer d'un transistor N de longueur 110 μm . Mais par l'effet de réaction, le transistor supplémentaire a pour dimension 6,8 μm . L'inverseur qui le pilote est dimensionné à $W_P = 2,5 \mu\text{m}$ et $W_N = 1,5 \mu\text{m}$.

On teste le montage par une entrée triangulaire parcourant de 0 V à 3,3 V.



Trigger de Schmitt CMOS
Les largeurs W des transistors sont indiquées



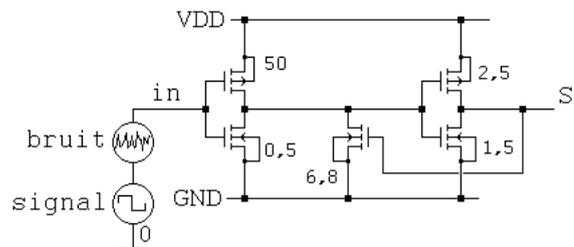
Interprétation :

En affichant le chronogramme en XY, on a le cyclogramme. On reconnaît le cycle d'hystérésis, placé par les seuils 1,1 V et 2,2 V. Ce cycle est parfaitement centré à 1,65 V ($=VDD/2$).

6d) Application : reconstitution d'un signal bruité (netliste en annexe 9)

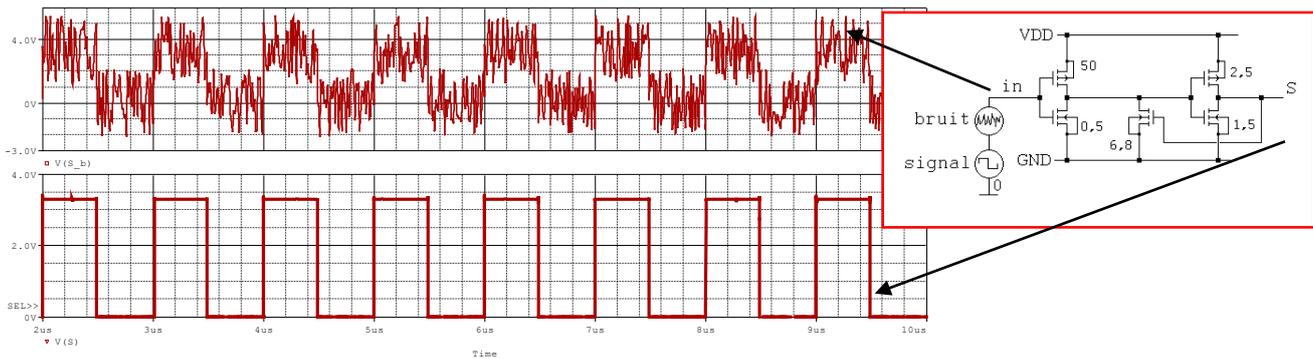
Pour illustrer l'intérêt d'utiliser un trigger de Schmitt, renouvelons l'expérience d'un signal bruité.

On reprend le schéma précédent, mais le signal d'entrée est composite : signal logique + bruit aléatoire.



Trigger de Schmitt CMOS. W en μm

Le bruit est issu d'une source Pspice PWL dont les coordonnées résultent d'un tableau à 2 colonnes fabriqué par Excel, par la fonction ALEA(). Le procédé est indiqué dans l'article 69.



Signal bruité : niveau logique + bruit
Signal reconstitué par le trigger de Schmitt CMOS

Interprétation :

Le signal logique est une succession de 0 et 1. La durée d'un bit est de 0,5 μ s.

Le bruit est une succession de valeurs comprises entre - 2,2 V et + 2,2 V qui arrivent toutes les 10 ns.

La somme du signal logique et du bruit donne une résultante assez spectaculaire. Sur le chronogramme présenté, on reconnaît « à l'œil » les niveaux haut et bas.

Le trigger de Schmitt utilisé, avec ses seuils bien distincts, permet de reconstituer l'information logique :

- Si le signal logique est au niveau bas, soit 0 V, il faut que le bruit dépasse 2,2 V pour être traité comme du niveau haut, ce qui ne se produit jamais dans cette simulation.
- Si le signal logique est au niveau haut, soit 3,3 V, il faut que le bruit lui retire 2,2 V pour aboutir à 1,1 V et être traité comme du niveau bas, ce qui ne se produit jamais dans cette simulation.

Bien entendu, une électronique qui déciderait la valeur logique par rapport au seuil $V_{DD}/2 = 1,65$ V, commuterait très fréquemment pendant la durée d'un bit.

Conclusion

On a montré dans ce document différents triggers de Schmitt : à A. Op., à comparateur, à transistors bipolaire, en circuit intégré, en technologique CMOS. Il existe des variantes, mais le principe est identique : on exploite une chaîne d'amplification en tout ou rien, et les seuils de basculement sont réglables par un jeu de résistances. La version à inverseurs CMOS exploite un autre principe : celui d'ajouter un autre transistor (ou 2) pour modifier le seuil de basculement de l'inverseur.

L'application la plus usuelle reste la reconstitution d'un signal logique qui subit une dégradation par du bruit additif, ce qui se produit lors d'une transmission.

Le signal arrive sur une carte pour traverser un trigger de Schmitt qui réalisera une remise en forme. La simulation présentée ci-dessus illustre parfaitement cela.

Annexe 1 : §2b, cyclogramme LF411

```

hysteresis
* fichier cyclo_LF411.cir
.lib eval.lib
* circuit :
Vplus 15 0 DC 15
Vmoins 14 0 DC -15
X1 ep em 15 14 VS LF411 ; et e- V+ V- S
*
R1 ep 0 6.8k
R2 VS ep 10k
VE em 0 DC 0

.DC VE +10V -10V 1mV
.PROBE
.END

```

Annexe 2 : §2c, oscillateur LF411

```

Oscillateur a relaxation
* fichier osci_LF411.cir
.lib eval.lib
* circuit :
Vplus 15 0 DC 15
Vmoins 14 0 DC -15
R3 VS em 33k
C1 em 0 0.47n
X1 ep em 15 14 VS LF411 ; et e- V+ V- S
R1 ep 0 6.8k
R2 VS ep 10k
.IC V(ep)=-15
.TRAN 0.1u 100u 50u 0.1u
.PROBE
.END

```

Annexe 3 : §3c, oscillateur à LM311

```

Oscillateur a LM311
* fichier osci_LM311.cir
.lib eval.lib
* circuit :
Vplus 15 0 DC 15
Vmoins 14 0 DC -15
X2 ep em 15 14 VS 14 LM11 ; et e- V+ V- Sc Se
Rcc VS 15 1k ; pull up
R1 ep 0 6.8k
R2 VS ep 10k
R VS em 33k
C em 0 0.47n
.IC V(ep)=-15
.TRAN 0.1u 100u 50u 0.1u
.PROBE
.END

```

Annexe 4 : §4c, trigger à 2 transistors bipolaires

```

trigger de Schmitt a bipolaires
trigger de Schmitt a bipolaires
* fichier trig_bip.cir
.lib eval.lib
* circuit :
Vplus 15 0 DC 5
*
RC1 15 C1 10k
RC2 15 S 1k
Q1 C1 B1 0 Q2N2222
Q2 S C1 0 Q2N2222
R2 S B1 10k
R1 E B1 1k
.OP
VE E 0 DC=5 SIN (0.5 0.5 10k)
.TRAN 10n 400u 100u 10n
.PROBE
.END

```

Remarque :

Pour simulation dynamique, commenter la ligne .DC et décommenter la ligne.TRAN

Annexe 5 : §5b, cyclogramme du schéma à transistors du trigger 7414

```

trigger de Schmitt 7414
* fichier cyclo_7414.cir
.lib eval.lib
.model Qex NPN (BF=75 Rb=100 Cje=1p Cjc=3p Tf=2.8n)
.model Dex D

VCC VCC 0 DC=5 ; alim
Vinput in 0 DC 0 pulse (0 5 0 1m 1m 0 2m)
X1 in S_T VCC TRIGGER
RL S_T 0 100k

.OP
.TRAN 0 2m
.probe

.SUBCKT TRIGGER 2 3 5 ; entree sortie alim
DP 0 2 Dex
Din A 2 Dex
Rpul1 5 A 6k
QS1 C A E Qex
Rpul2 5 C 1.8k
QS2 S C E Qex
Rpul3 5 S 1.2k
Rpulld E 0 365
Ds S 1 Dex
R1 1 0 100k
R2 5 6 1.6k
Q2 6 1 7 Qex
R3 7 0 1k
R4 5 8 100
Q4 8 6 9 Qex
D2 9 3 Dex
Q3 3 7 0 Qex
.ENDS
.end

```

Annexe 6 : §5c, comparaison 7404 et 7414 en dynamique

<pre>trigger de Schmitt * fichier trig_7414.cir .lib eval.lib .model Qex NPN (BF=75 Rb=100 Cje=1p Cjc=3p Tf=2.8n) .model Dex D .SUBCKT TRIGGER 2 3 5 DP 0 2 Dex Din A 2 Dex Rpull 5 A 6k QS1 C A E Qex Rpull2 5 C 1.8k QS2 S C E Qex Rpull3 5 S 1.2k Rpulld E 0 365 Ds S 1 Dex R1 1 0 100k R2 5 6 1.6k Q2 6 1 7 Qex R3 7 0 1k R4 5 8 100 Q4 8 6 9 Qex D2 9 3 Dex Q3 3 7 0 Qex .ENDS</pre>	<pre>.SUBCKT INV 2 3 5 Q1 1 4 2 Qex DP 0 2 Dex R1 5 4 4k R2 5 6 1.6k Q2 6 1 7 Qex R3 7 0 1k R4 5 8 130 Q4 8 6 9 Qex D 9 3 Dex Q3 3 7 0 Qex .ENDS VCC 5 0 DC=5 ; alim Va 1 0 pulse (0 3 0 0.1m 0.1m 9.9m 20m) Vb 2 1 sin (0 1.6 1k) Rgene 2 3 50 X1 3 SI 5 INV ; inverseur RL1 SI 0 100k X2 3 ST 5 TRIGGER ; trigger RL2 ST 0 100k .TRAN 10u 40m 0m 10u .probe .end</pre>
--	---

Annexe 7 : §6a, caractéristique de transfert de l'inverseur CMOS

<pre>trigger de Schmitt CMOS * fichier carac_inv_CMOS.cir .lib eval.lib .model MODN nmos (Level=1 Kp=90u Vto=0.6 + Cgdo=.3n Cgso=2.8n lambda=0.02) .model MODP pmos (Level=1 Kp=25u Vto=-0.8 + Cgdo=.3n Cgso=2.8n lambda=0.04) * circuit : Vplus vdd 0 DC 3.3 Vin in 0 DC 0 X1 in S_1 vdd INV2.2 X2 in S_2 vdd INV1.1 X3 in S_3 vdd INVNom</pre>	<pre>.subckt INV2.2 in out vdd Mp out in vdd vdd MODP W=50u L=0.35u Mn out in 0 0 MODN W=0.5u L=0.35u .ends .subckt INV1.1 in out vdd Mp out in vdd vdd MODP W=1u L=0.35u Mn out in 0 0 MODN W=2.2u L=0.35u .ends .subckt INVNom in out vdd Mp out in vdd vdd MODP W=5.5u L=0.35u Mn out in 0 0 MODN W=1u L=0.35u .ends .DC Vin 3.3 0 1mV .PROBE .END</pre>
---	--

Annexe 8 : §6c, cyclogramme du trigger CMOS

<pre>trigger de Schmitt CMOS * fichier cyclo_CMOS.cir .lib eval.lib .model MODN nmos (Level=1 Kp=90u Vto=0.6 Cgdo=.3n Cgso=2.8n lambda=0.02) .model MODP pmos (Level=1 Kp=25u Vto=-0.8 Cgdo=.3n Cgso=2.8n lambda=0.04) * circuit : Vplus vdd 0 DC 3.3 Vin in 0 DC 0 pulse (0 3.3 0 1m 1m 0 2m) X1 in 2 vdd INV2.2 X2 2 S vdd INV2</pre>	<pre>.subckt INV2.2 in out vdd Mp out in vdd vdd MODP W=50u L=0.35u Mn out in 0 0 MODN W=0.5u L=0.35u .ends .subckt INV2 in out vdd Mp out in vdd vdd MODP W=2.5u L=0.35u Mn out in 0 0 MODN W=1.5u L=0.35u .ends M5 2 S 0 0 MODN W=6.8u L=0.35u .TRAN 1u 2m 0 1u .PROBE .END</pre>
--	--

Annexe 9 : §6d, extraction du signal du bruit

```

trigger de Schmitt CMOS
* fichier trig_CMOS.cir
.lib eval.lib
.model MODN nmos (Level=1 Kp=90u Vto=0.6 Cgdo=.3n
Cgso=2.8n lambda=0.02)
.model MODP pmos (Level=1 Kp=25u Vto=-0.8 Cgdo=.3n
Cgso=2.8n lambda=0.04)

* circuit :
Vplus vdd 0 DC 3.3
Vin 1 0 DC 0 PULSE (0 3.3 0 100p 100p 0.49u 1u)

.subckt INV1 in out vdd ; INV
Mp out in vdd vdd MODP W=50u L=0.35u
Mn out in 0 0 MODN W=0.5u L=0.35u
.ends

.subckt INV2 in out vdd ; INV
Mp out in vdd vdd MODP W=2.5u L=0.35u
Mn out in 0 0 MODN W=1.5u L=0.35u
.ends
Vbruit n 0 PWL ( FILE=source_bruit.txt )
Esom S_b 0 poly(2) (1,0) (n,0) 0 1 2.2

X1 S_b 2 vdd INV1
X2 2 S vdd INV2
M5 2 S 0 0 MODN W=6.8u L=0.35u ;
.TRAN 1n 10u 0u 1n
*
.PROBE
.END
    
```

Remarque : le fichier source_bruit.txt est formé de 2 colonnes et 1000 lignes

Annexe 10 Rappel sur la tension de seuil de basculement d'un inverseur CMOS.

K_N, K_P : gains des transistors canal N, P respectivement,

W_N, L_N et W_P, L_P : largeurs longueurs des transistors canal N, P respectivement.

On pose un coefficient $\alpha = \sqrt{\frac{K_N W_N L_P}{K_P W_P L_N}}$

Le **seuil** de basculement d'un inverseur CMOS peut s'écrire : $V_{SEUIL} = \frac{VDD + \alpha V_{TN} - |V_{TP}|}{1 + \alpha}$.

Remarques :

- Cette équation montre que $V_{TN} < V_{SEUIL} < VDD - |V_{TP}|$, pour α allant de l'infini à 0 respectivement.
- Pour une meilleure immunité aux bruits, on cherche à fabriquer des inverseurs à $V_{SEUIL} = VDD/2$.
- K_N, K_P sont imposés par la technologie. Le réglage de V_{SEUIL} peut être obtenu par un choix judicieux des dimensions (W/L de chaque transistor) pour contre-balancer le fait que K_P soit différent de K_N . Néanmoins, il est fréquent de s'éloigner quelque peu de cette démarche, car il faut également tenir compte du comportement dynamique de l'inverseur : les mobilités des transistors P et N étant différentes. On peut donc améliorer l'aspect dynamique au détriment de l'aspect statique.

Dans le paragraphe 6a, 3 applications numériques ont été faites :

Avec pour le transistor N : $K_N = 90 \mu A/V^2$, $V_{TN} = 0,6 V$
 pour le transistor P : $K_P = 25 \mu A/V^2$, $|V_{TP}| = 0,8 V$

	α	V_{SEUIL}
inverseur $W_N = 110 \mu m$ $W_P = 50 \mu m$	$\sqrt{\frac{90 \cdot 110 \cdot 0,35}{25 \cdot 50 \cdot 0,35}} = 2,814$	$\frac{3,3 + 2,814 \times 0,6 - 0,8}{1 + 2,814} = 1,1 V$
inverseur nominal $W_N = 1 \mu m$ $W_P = 5,5 \mu m$	$\sqrt{\frac{90 \cdot 1 \cdot 0,35}{25 \cdot 5,5 \cdot 0,35}} = 0,81$	$\frac{3,3 + 0,81 \times 0,6 - 0,8}{1 + 0,81} = 1,65 V$
inverseur $W_N = 0,5 \mu m$ $W_P = 50 \mu m$	$\sqrt{\frac{90 \cdot 0,5 \cdot 0,35}{25 \cdot 50 \cdot 0,35}} = 0,19$	$\frac{3,3 + 0,19 \times 0,6 - 0,8}{1 + 0,19} = 2,2 V$

articles 1 à 43 : sur le livre

Tableau récapitulatif des articles PDF disponibles sur ce site

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	présentation	document PDF
44	Exemples basiques et des exercices...	présentation	document PDF
45	Un exemple de circuit passif	présentation	document PDF
46	Un oscillateur Colpitts	présentation	document PDF
47	Compensation en fréquence des amplificateurs opérationnels	présentation	document PDF
48	Un amplificateur à transistors bipolaires	présentation	document PDF
49	Une bascule D Flip Flop CMOS	présentation	document PDF
50	Une porte XOR à transistors MOS	présentation	document PDF
51	Un VCO à 12 transistors MOS	présentation	document PDF
52	Une PLL à moins de 20 transistors MOS	présentation	document PDF
53	Un oscillateur à résistance négative	présentation	document PDF
54	Une charge électronique	présentation	document PDF
55	Un amplificateur en classe C	présentation	document PDF
56	Le monostable 74 123	présentation	document PDF
57	Un amplificateur en classe D	présentation	document PDF
58	Le transformateur en linéaire	présentation	document PDF
59	La loi d'ohm thermique	présentation	document PDF
60	Le transformateur en non linéaire	présentation	document PDF
61	Robustesse d'un oscillateur en anneau	présentation	document PDF
62	Une alimentation stabilisée	présentation	document PDF
63	Modélisation d'un haut-parleur	présentation	document PDF
64	Un synthétiseur de fréquence	présentation	document PDF
65	Un ampli audio de Sparkfun	présentation	document PDF
66	Simulation logique et analogique	présentation	document PDF
67	Un oscillateur à relaxation	présentation	document PDF
68	Lecteur de TAG RFID 125 kHz	présentation	document PDF
69	Diagramme de l'œil avec Pspice	présentation	document PDF
70	Un amplificateur hautes fréquences	présentation	document PDF
71	Une bizarrerie enfin expliquée...	présentation	document PDF
72	Comprendre le paramétrage de la FFT	présentation	document PDF
73	La relation de Bennett	présentation	document PDF
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	présentation	document PDF
75	Une horloge biphasé sans recouvrement	présentation	document PDF
76	Quelques simulations sur la diode	présentation	document PDF
77	Un ampli classe A, avec transformateur de sortie	présentation	document PDF
78	Des stimuli pour PSpice	présentation	document PDF
79	Simuler le TL431 : zener ajustable	présentation	document PDF
80	Un ADC flash	présentation	document PDF
81	Une chaîne d'acquisition : S&H, ADC, DAC	présentation	document PDF
82	Un amplificateur 50 MHz	présentation	document PDF
83	Un dérivateur non inverseur	présentation	document PDF
84	Un amplificateur bipolaire avec push pull CMOS	présentation	document PDF
85	Rôle des répéteurs logiques dans un circuit intégré	présentation	document PDF
86	Un driver logique CMOS pour charge 50 ohms	présentation	document PDF
87	Des triggers de Schmitt et des applications	présentation	document PDF
88	Un filtre gaussien analogique	présentation	document PDF
89	Un générateur de bruit rose	présentation	document PDF

90	Un anémomètre à fil chaud : simulation comportementale	présentation	document PDF
91	Un oscillateur à pont de Wien stabilisé par CTN	présentation	document PDF
92	L'emballement thermique d'une diode	présentation	document PDF
93	Les puissances dans un amplificateur	présentation	document PDF
94	Asservissement de puissance dans une résistance	présentation	document PDF
95	Asservissement de la puissance émise par une antenne radio	présentation	document PDF
96	Un driver de LED de puissance	présentation	document PDF
97	Exploiter Pspice pour simuler des filtres numériques	présentation	document PDF
98	Un filtre en cosinus surélevé avec Pspice	présentation	document PDF
99	Effet de la température sur un amplificateur en classe A	présentation	document PDF
100	Un amplificateur à transistors JFET et bipolaires	présentation	document PDF
Supplément, hors article :			
mon cours « Electronique pour les communications numériques », polycopié couleur 201 pages en pdf			

[retour à l'écran d'accueil de ce site](#)