Un synthétiseur de fréquence à base de boucle à verrouillage de phase numérique

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet : **page d'accueil**

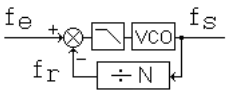
d'autres pdf, sur différents sujets : **liste des PDF**

Ce document montre le principe d'un synthétiseur de fréquence, au travers un exemple volontairement très simple. On exploite une PLL digitale, et les simulations Pspice font appel à des circuits logiques de la famille HC et HCT. Le schéma proposé est simplifié au maximum, de façon à ce que tout soit simulable par Pspice d'évaluation. Bien que construit avec des composants réels, il s'agit d'un montage à but pédagogique, et non d'un circuit à réaliser physiquement. On ne revient pas sur la théorie de la PLL, déjà traitée par ailleurs.

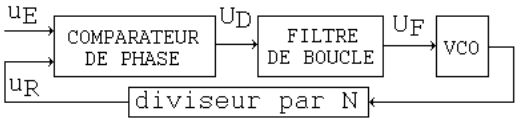
Introduction, principe

Dans certains montages électroniques, il est fréquent de nécessiter un signal dont la fréquence est un multiple de celle fournie par un oscillateur à quartz. Cette multiplication de fréquence est exploitée, par exemple, dans un ordinateur : c'est l'« overclocking ». Un autre exemple, dans les téléphones portables, est la génération de fréquence multiple d'une référence, pour disposer de fréquence porteuse. Par exemple, à partir de 200 kHz, réaliser du 1330 MHz, par une multiplication par 6650.

Le principe reprend l'asservissement réalisé par une boucle à verrouillage de phase, dans lequel on place un diviseur de fréquence dans la boucle de retour.
Raisonnons sur les fréquences :
Par l'asservissement, on a $f_r = f_e$. Or, par le diviseur, on a $f_r : f_s/N$. On en déduit directement $f_s = N\ f_e$.



Ce montage exploite donc une PLL (phase locked loop), déjà étudiée dans l'ouvrage « comprendre l'électronique par la simulation », et montrée dans ce site Internet associé. La description de ses différents sera donc succincte.

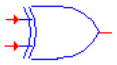


Système bouclé

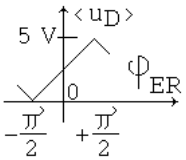
1) Les différents éléments

a) Comparateur de phase : un OU exclusif 74HC86.

On pose $u_D(t)$ la sortie du XOR.
Autour de la position centrale, on a :
$\langle U_D \rangle = K_d\ \varphi_{ER}$, avec $K_d = 5\ V/\pi$, soit $K_d = 1{,}59\ V/rad$.



Porte XOR.



$\langle U_D \rangle = f\ (\varphi_{ER})$

b) Le filtre de boucle

Le filtre a pour transmittance de Laplace :

$$F(p) = \frac{U_F(p)}{U_D(p)} = K_f \frac{1+\tau_1 p}{1+\tau_2 p},$$

$R_1 = 1{,}2\ k\Omega$, $R_2 = 180\ \Omega$, $C = 4{,}7\ nF$.

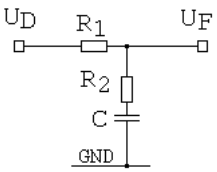
On déduit :

$1/\tau_1 = 1{,}18$ Mrad/s, soit 188,12 kHz

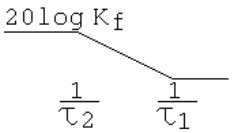
$\tau_1 = R_2\ C$
$= 180 \times 4{,}7\ 10^{-9}$
$= 0{,}846\ \mu s$

$\tau_2 = (R_1 + R_2)\ C$
$= 1280 \times 4{,}7\ 10^{-9}$
$= 6\ \mu s$

$1/\tau_2 = 17{,}6$ krad/s, soit 2,8 kHz.



Le filtre de boucle

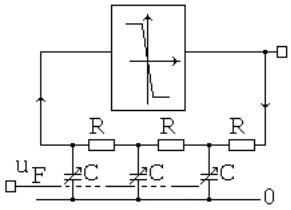


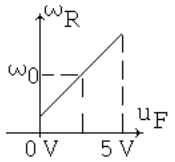
et sa réponse harmonique

$K_f = 1$.

c) Le VCO

Le noyau est un oscillateur à base d'amplificateur rebouclé par un triple RC.
Dans cette structure, il faut une |amplification| supérieure à 29, pour compenser le coefficient de 1/29 apportée par la cellule triple RC.



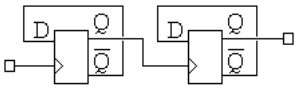


Caractéristique du VCO

La fréquence d'oscillation est alors $\sqrt{6}/2\pi RC$. Pour agir sur la fréquence, on modifie C par une tension de commande. La saturation de l'amplificateur permet de ne pas avoir une divergence de la tension de sortie.
On a $\omega_R = K_o\, U_f$. Les simulations en **3b)** vont montrer que $\boxed{K_o = 0{,}96\ M(rad/s)/V}$.

d) Le diviseur de retour

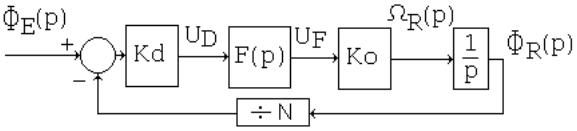
Une bascule D sur front, avec D relié à Q\ forme un diviseur par 2.
En plaçant 2 bascules D en cascade, on réalise un diviseur par 4, asynchrone.



Diviseur par 4

e) Prédétermination du fonctionnement du système bouclé

On a le schéma fonctionnel suivant, issu des équations de Laplace de chaque élément :



Le schéma fonctionnel

La **stabilité** peut se déterminer par la **TBO(jω)** = $\dfrac{Ko\,Kd\,K_f}{N}\,\dfrac{1}{j\omega}\,\left(\dfrac{1+j\omega\tau_1}{1+j\omega\tau_2}\right)$

Posons $K = K_o\, K_d\, K_f = 0{,}96\ M \times 1{,}59 \times 1 \approx \boxed{1{,}52\ Mrad/s}$

Le tracé de la TBO montre que le système est stable.

Rappelons qu'avec un retour unitaire, la **plage de maintien**, se détermine, avec ce type de comparateur, par $\pm K\,\pi/2$. Mais équipée d'un diviseur par N, cette plage est $\pm\dfrac{K}{N}\dfrac{\pi}{2} \approx \pm 600$ krad/s, soit environ **96 kHz** de part et d'autre de la fréquence centrale.

Ces prédéterminations étant faites, on peut lancer la simulation pour vérifier le fonctionnement.

2) Le schéma simulé

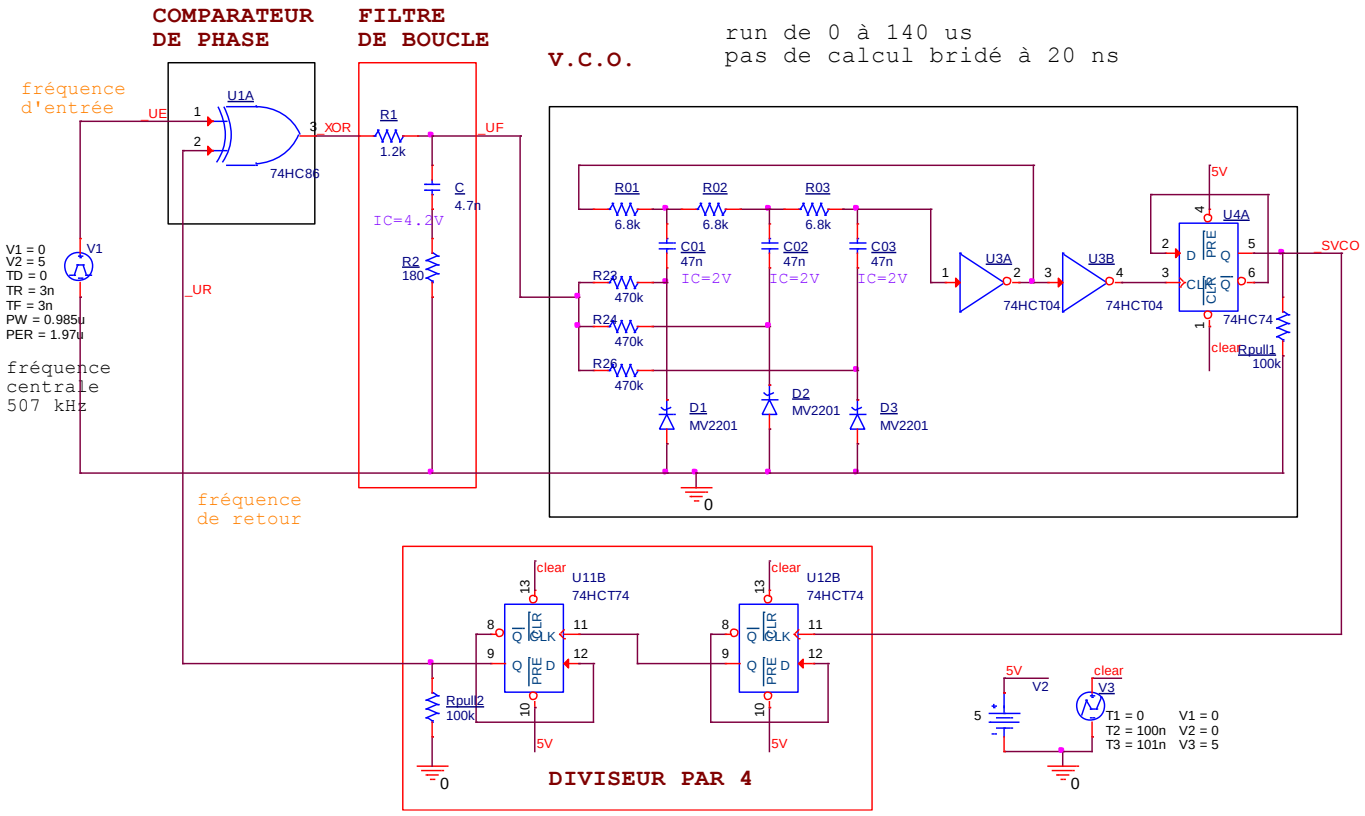
- Les condensateurs du VCO sont réalisés par des diodes varicap.
La capacité présentée par ces dernières est de quelques pF. Les condensateurs en série, dont la valeur a été choisie volontairement élevée, sont équivalents à des courts-circuits.
Les résistances qui amènent la polarisation (470 kΩ) sont de valeur élevée pour minimiser leur rôle dans la fréquence.

- Pour éviter un temps de simulation trop long, il a été ajouté des conditions initiales dans le VCO. En plaçant 2 V aux bornes de chaque condensateur (attention à l'orientation du condensateur lorsqu'on place une tension de C.I.), la simulation démarre avec le VCO qui oscille.

- De même, il a été placé une condition initiale sur C : 4,2 V pour l'essai n°2. Cela permet de réduire la durée du régime transitoire et d'être plus rapidement en régime permanent (PLL accrochée).

- L'amplificateur de cet oscillateur est un inverseur CMOS (U3A) :
en théorie, dans sa zone centrale (tension d'entrée au voisinage de 2,5 V), le coefficient d'amplification est supérieur à 29. Les conditions d'oscillations sont donc réunies.
En simulation, le modèle de cet inverseur est du type comportemental, et ne représente pas le fonctionnement identique au schéma à transistor. Néanmoins, la fonction inverseuse est réalisée.

L'inverseur qui suit (U3B) est placé pour une mise en forme. L'inconvénient de ce schéma simulé est de délivrer un signal dont le rapport cyclique est différent de 50 %. La bascule D placé en sortie rattrape ce défaut. En contrepartie, la fréquence est divisée par 2 en interne. La sortie du VCO est après cette bascule D. Si on veut réaliser un retour unitaire, donc sans diviseur par 4, on peut reboucler S_{VCO} sur u_R.



Le schéma complet du synthétiseur
(à saisir sous CIS)

- Pour déterminer l'état de Q après le front montant de CLK, il faut connaitre la valeur de D. Or celle-ci dépend de Q : le simulateur ne sait pas résoudre cette équation. Il a été ajouté un signal de mise à zéro sur l'entrée Clear, de façon à injecter des conditions initiales. On rend inactives les entrées Preset.

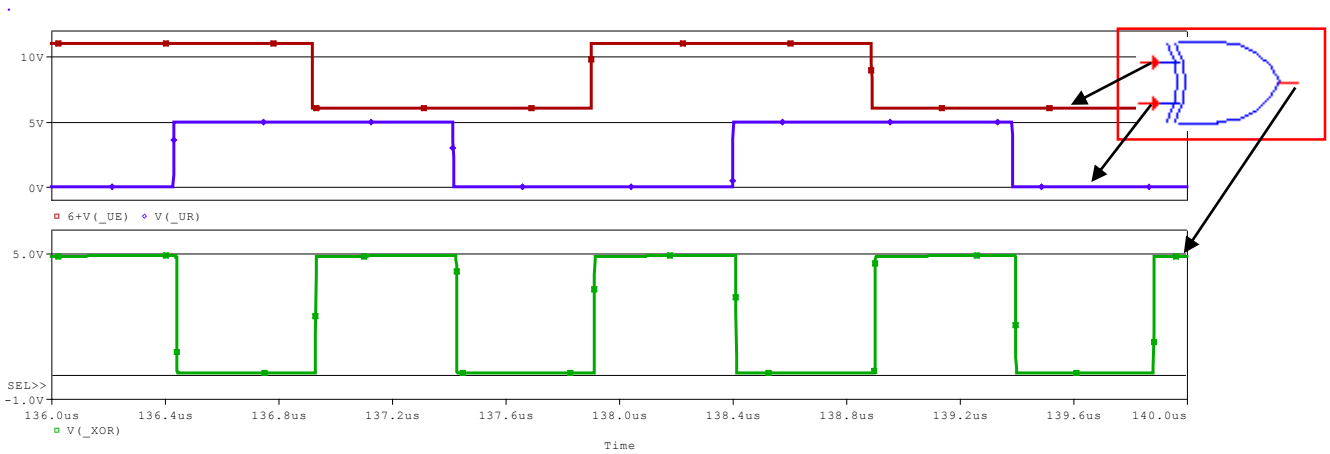
- Pour que Probe affiche les signaux logiques comme les signaux analogiques, il a été ajouté des résistances de pull down (100 kΩ) sur les potentiels à afficher. Cela ne modifie en rien le fonctionnement.

- Le signal d'entrée $u_E(t)$ est un signal carré, de niveaux compatibles avec la technologie HC. Les fronts sont fixés à 3 ns.

3) Résultats de simulation

a) Recherche de la fréquence centrale.

On dispose d'un ordre de grandeur de la fréquence libre du VCO : pour la valeur moyenne de U_F = 2,5 V, la capacité présentée par la MV2201 est de 8 pF, d'après la datasheet.
En reprenant l'équation de l'oscillateur à triple RC, il en résulte une fréquence de fonctionnement de l'oscillateur attendue de : $\sqrt{6}/(2\pi\ 6{,}8k\ 8\ p) \approx 7{,}2$ MHz. Après diviseur par 2 de l'étage de mise en forme, on a 3,6 MHz. Ce qui correspond à l'entrée du synthétiseur à 900 kHz.
La valeur sera en fait différente, car dans cette simulation, les défauts de la caractéristique de l'inverseur font qu'on ne peut pas le considérer comme un amplificateur parfait.
Pour déterminer la fréquence centrale, il faut repérer la quadrature sur le signal de retour $u_R(t)$. Ou, plus simplement, la fréquence d'entrée pour laquelle la sortie du XOR sera de rapport cyclique de 50 %. Après quelques essais (on modifie PER et PW de la source pulse), on aboutit au résultat donné ci-dessous :



Pour une meilleure lisibilité, l'entrée UE est présentée décalée.
On ne visualise ici que les signaux concernant le comparateur de phase,
mais le synthétiseur est entièrement simulé.
Signaux montrant la PLL accrochée au milieu de la plage de maintien

Le signal d'entrée a pour une période de 1,97 µs, soit une fréquence de **507 kHz**.
Le VCO délivre 507 kHz x 4 = 2,028 MHz
Le chronogramme montre le fonctionnement du XOR, et, un rapport cyclique de 50,5 %.

Measurement	Value
DutyCycle_XRange(V(_XOR),136u,140u)	505.17675m
DutyCycle_XRange(V(_UE),136u,140u)	501.52284m
DutyCycle_XRange(V(_UR),136u,140u)	500.08052m

b) Détermination de Ko.

Afin de tester le VCO, on place provisoirement une source de tension constante sur U_F, (non placé sur le schéma car retiré par la suite) et on mesure la fréquence en SVCO.
On réalise quelques essais pour déduire Ko = 153 kHz / V, soit 0,96 M(rad/s)/V.
Ceci représente une valeur moyenne

U_F	f en SVCO
0,8 V	1,734 MHz
1,2 V	1,813 MHz
2 V	1,951 MHz
2,5	2,028 MHz
3 V	2,097 MHz
3,4 V	2,146 MHz
3,8V	2,194 MHz

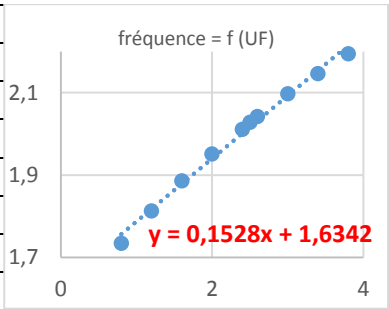
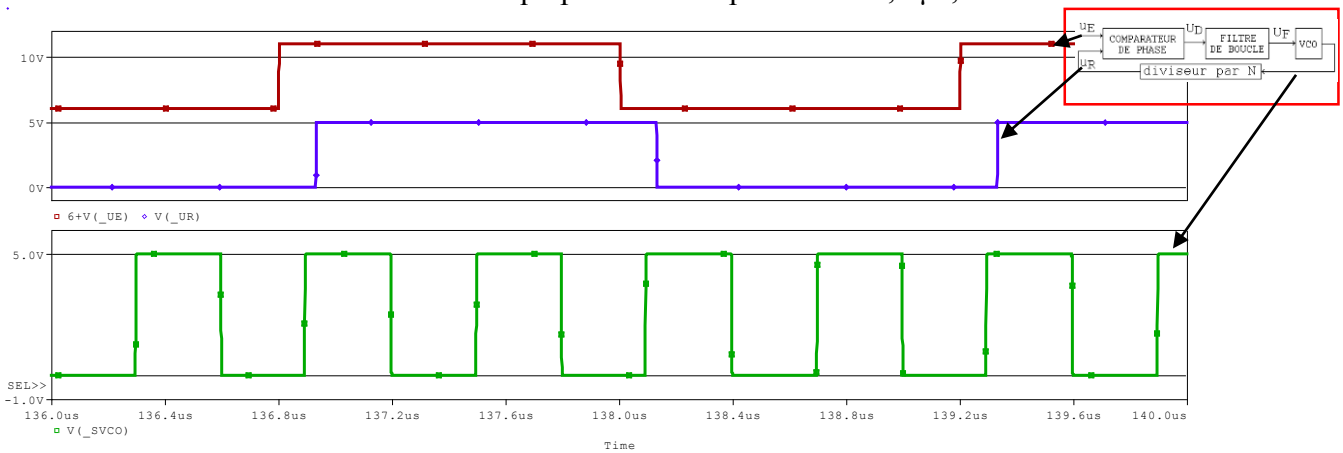


Image en plus grand **caracvco.jpg**

La plage de maintien attendue est donc de **507 kHz ± 96 kHz**, soit [411 kHz ; 603 kHz], en supposant la réponse du VCO linéaire sur cette étendue.

c) Fonctionnement du synthétiseur

- Essai 1 : on choisit une source d'entrée qui présente une période de 2,4 µs, soit f = 416 kHz.



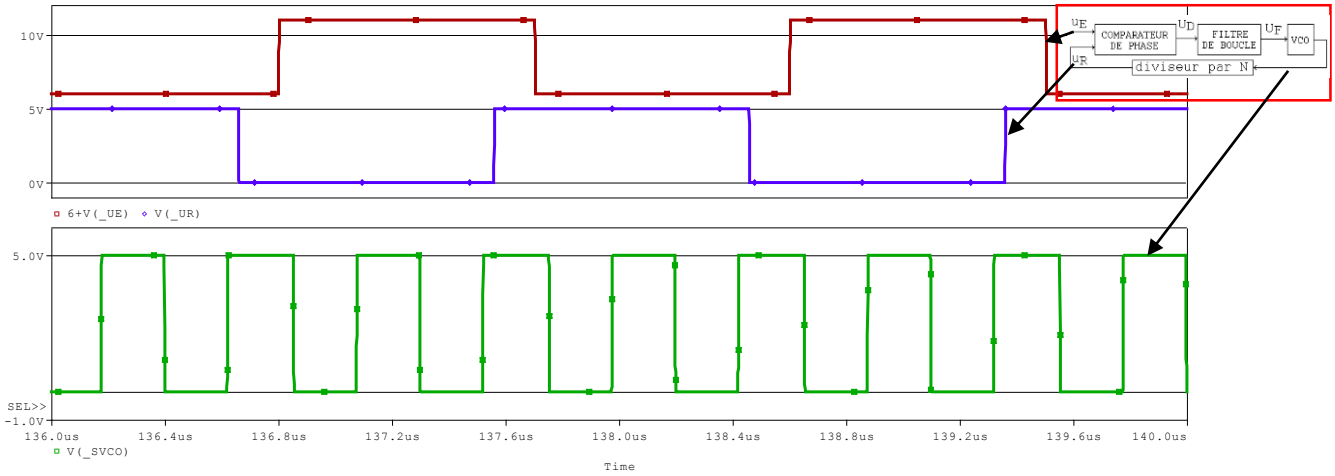
A 416 kHz, u_R est toujours accroché sur u_E. La fréquence est multipliée par 4

La sortie du XOR (non représentée) montre rapport cyclique de 10,8 %. Sa valeur moyenne est donc proche de 0,54 V.

DutyCycle_XRange(V(_XOR),136u,140u)	108.68538m
1/ Period_XRange(V(_SVCO),130u,140u)	1.67673meg
1/ Period_XRange(V(_UE),130u,140u)	416.66667k

La sortie du VCO est de fréquence 4 fois plus élevée, soit 1,66 MHz.

- Essai 2 : on choisit une source d'entrée qui présente une période de 1,8 µs, soit f = 555 kHz.
Pour cet essai, on place une condition initiale sur C (4,2 V), pour faire accrocher la PLL plus rapidement.



A 555 kHz, u_R est toujours accroché sur u_E. La fréquence est multipliée par 4

La sortie du XOR (non représentée) montre rapport cyclique de 83,4 %. Sa valeur moyenne est donc proche de 4,17 V.

DutyCycle_XRange(V(_XOR),136u,140u)	839.59287m
1/ Period_XRange(V(_UE),130u,140u)	555.55556k
1/ Period_XRange(V(_SVCO),130u,140u)	2.19684meg

La sortie du VCO est de fréquence 4 fois plus élevée, soit 2,22 MHz.

CONCLUSION

Ce montage présenté montre le principe d'un multiplieur de fréquence, avec des circuits basiques, pour plus de simplicité. On a retrouvé le principe de la PLL, mais équipée d'un diviseur en retour. Usuellement, les multiplieurs de fréquence exploitent un comparateur de phase différent, afin d'avoir une plage de maintien infinie (ou limitée par la réponse du VCO).

articles 1 à 43 : sur le livre

Tableau récapitulatif des articles PDF disponibles sur ce site			
n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	présentation	document PDF
44	Exemples basiques et des exercices...	présentation	document PDF
45	Un exemple de circuit passif	présentation	document PDF
46	Un oscillateur Colpitts	présentation	document PDF
47	Compensation en fréquence des amplificateurs opérationnels	présentation	document PDF
48	Un amplificateur à transistors bipolaires	présentation	document PDF
49	Une bascule D Flip Flop CMOS	présentation	document PDF
50	Une porte XOR à transistors MOS	présentation	document PDF
51	Un VCO à 12 transistors MOS	présentation	document PDF
52	Une PLL à moins de 20 transistors MOS	présentation	document PDF
53	Un oscillateur à résistance négative	présentation	document PDF
54	Une charge électronique	présentation	document PDF
55	Un amplificateur en classe C	présentation	document PDF
56	Le monostable 74 123	présentation	document PDF
57	Un amplificateur en classe D	présentation	document PDF
58	Le transformateur en linéaire	présentation	document PDF
59	La loi d'ohm thermique	présentation	document PDF
60	Le transformateur en non linéaire	présentation	document PDF
61	Robustesse d'un oscillateur en anneau	présentation	document PDF
62	Une alimentation stabilisée	présentation	document PDF
63	Modélisation d'un haut-parleur	présentation	document PDF
64	Un synthétiseur de fréquence	présentation	document PDF
65	Un ampli audio de Sparkfun	présentation	document PDF
66	Simulation logique et analogique	présentation	document PDF
67	Un oscillateur à relaxation	présentation	document PDF
68	Lecteur de TAG RFID 125 kHz	présentation	document PDF
69	Diagramme de l'œil avec Pspice	présentation	document PDF
70	Un amplificateur hautes fréquences	présentation	document PDF
71	Une bizarrerie enfin expliquée...	présentation	document PDF
72	Comprendre le paramétrage de la FFT	présentation	document PDF
73	La relation de Bennett	présentation	document PDF
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	présentation	document PDF
75	Une horloge biphase sans recouvrement	présentation	document PDF
76	Quelques simulations sur la diode	présentation	document PDF
77	Un ampli classe A, avec transformateur de sortie	présentation	document PDF
78	Des stimuli pour PSpice	présentation	document PDF
79	Simuler le TL431 : zener ajustable	présentation	document PDF
80	Un ADC flash	présentation	document PDF
81	Une chaine d'acquisition : S&H, ADC, DAC	présentation	document PDF
82	Un amplificateur 50 MHz	présentation	document PDF
83	Un dérivateur non inverseur	présentation	document PDF
84	Un amplificateur bipolaire avec push pull CMOS	présentation	document PDF
85	Rôle des répéteurs logiques dans un circuit intégré	présentation	document PDF
86	Un driver logique CMOS pour charge 50 ohms	présentation	document PDF
87	Des triggers de Schmitt et des applications	présentation	document PDF
88	Un filtre gaussien analogique	présentation	document PDF
89	Un générateur de bruit rose	présentation	document PDF

90	Un anémomètre à fil chaud : simulation comportementale	présentation	document PDF
91	Un oscillateur à pont de Wien stabilisé par CTN	présentation	document PDF
92	L'emballement thermique d'une diode	présentation	document PDF
93	Les puissances dans un amplificateur	présentation	document PDF
94	Asservissement de puissance dans une résistance	présentation	document PDF
95	Asservissement de la puissance émise par une antenne radio	présentation	document PDF
96	Un driver de LED de puissance	présentation	document PDF
97	Exploiter Pspice pour simuler des filtres numériques	présentation	document PDF
98	Un filtre en cosinus surélevé avec Pspice	présentation	document PDF
99	Effet de la température sur un amplificateur en classe A	présentation	document PDF
100	Un amplificateur à transistors JFET et bipolaires	présentation	document PDF
101	Un disjoncteur électronique réarmable	présentation	document PDF
102	Un redressement à thyristors	présentation	document PDF
Supplément, hors article :			
mon cours « Electronique pour les communications numériques ». polycopié couleur 201 pages en pdf			

retour à l'écran d'accueil de ce site