

Le rôle des répéteurs logiques

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet : [page d'accueil](#)

d'autres pdf, sur différents sujets : [liste des PDF](#)

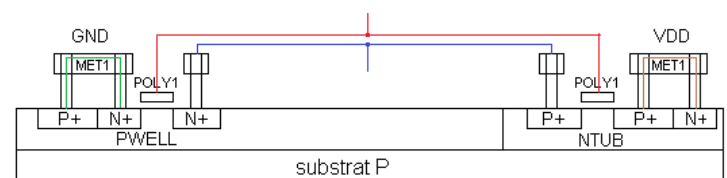
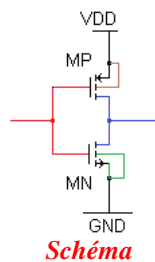
Dans les circuits intégrés logiques, le délai de propagation d'une information est lié à 2 phénomènes : le temps de réponse des opérateurs logiques (lié à la technologie) et le temps de transit le long des lignes d'interconnexion (lié à leurs longueurs, et leurs constitutions). Les performances des circuits d'aujourd'hui sont telles que le délai est pénalisé par les liaisons internes qui dégradent les signaux. Par conséquent, sur des lignes longues, il est devenu nécessaire de placer des répéteurs logiques.

Ce document illustre l'intérêt de placer un (ou plusieurs) répéteur(s), et à partir de quelle longueur le répéteur devient intéressant.

1) Constitution et modélisation d'une ligne

1.a) Constitution physique d'un circuit intégré

Sont montrés ci-contre le schéma d'un inverseur CMOS et son implantation dans un circuit intégré :



Dans cette technologie, le transistor canal N est dans le substrat P, et le transistor canal P est dans un puits N. Les liaisons entre grilles sont en polysilicium.

Pour établir les liaisons entre les opérateurs logiques, on passe par un niveau « métal ».

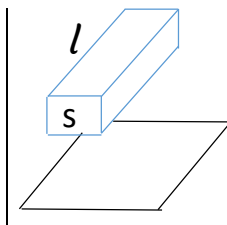
Les chemins (ou « path ») de niveau élevé sont moins résistifs car de section plus importante. D'ailleurs, on exploite le niveau le plus élevé pour les alimentations.



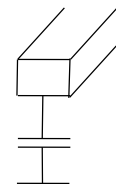
3 niveaux de métallisation dans cet exemple

Un chemin sur un niveau de métal peut être relié sur un autre niveau de métal, au travers un « via ».

Isolons une portion de ligne (par exemple Métal 1, longueur l, section s). On a une représentation 3 D ci-contre :

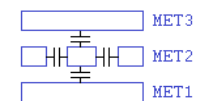


On peut définir un condensateur parasite entre le métal et le substrat, qui est au potentiel masse.



En toute rigueur, il faudrait tenir compte des capacités entre lignes voisines, et ce en horizontal et en vertical.

Ces lignes étant parcourues par différents signaux, on a également un phénomène de diaphonie : chaque ligne est agressée par ses voisines, par liaison capacitive. Nous ne traiterons pas ce phénomène dans cet article.



un layer est noyé parmi les autres

1.b) Modèle de Elmore

En négligeant les éventuels vias, une liaison entre 2 opérateurs logiques (représentés ici par des inverseurs), sur un même niveau, se résume par un path de métal :

Sur le plan électrique, on peut modéliser cette ligne par un circuit $R_L C_L$ passe bas. Néanmoins, si la résistance de la ligne est facilement identifiable et calculable, le condensateur est en réalité réparti, et non localisé en bout de ligne. Ce modèle n'est donc pas adapté pour des lignes longues.

Il est préférable d'exploiter un modèle de ligne distribuée, symbolisé par des éléments : c'est le modèle de Elmore.

On a, si n éléments, $R_e = R_L/n$.

Il forme un compromis entre simplicité de calcul, et réalité physique.

Par ce modèle, on peut estimer la conséquence de la ligne sur l'intégrité du signal, par des simulations simples à réaliser. Il existe des outils dédiés, mais nous allons exploiter Pspice. Il nous faut les valeurs numériques des R_e et C_e par unité de longueur, ce qui peut se calculer :

Résistance : donnée par sa définition $R = \rho \frac{l}{s}$,

où ρ est la résistivité du métal, l la longueur de la ligne, s sa section.

Exemple d'application numérique :

l : longueur de 0,1 mm ; W : largeur de 0,5 μm ; épaisseur de 0,2 μm , donc section $s = 0,1 \cdot 10^{-12} \text{ m}^2$;

ρ : résistivité du matériau : 50 $\mu\Omega\text{cm}$. Il vient : $R = 50 \cdot 10^{-6} \cdot 10^{-2} \frac{0,1 \cdot 10^{-3}}{0,1 \cdot 10^{-12}} = 500 \Omega$.

Remarque : cela représente une résistance de 5 $\Omega/\mu\text{m}$, pour cette section de ligne de métal.

Les constructeurs de circuits intégrés privilégient des matériaux faiblement résistifs (le cuivre a remplacé l'aluminium, malgré les difficultés techniques ajoutées).

Condensateur : Le calcul d'une telle géométrie est complexe. La définition d'un condensateur plan : $C = \epsilon_0 \epsilon_r \frac{S}{e}$, où ϵ_0 est la permittivité du vide, ϵ_r la permittivité relative, e espace entre les 2 surfaces s en regard, ne peut pas s'appliquer dans ce genre de configuration.

Les fondeurs donnent, dans les spécifications de leur process de fabrication, la valeur de la capacité par micron, et ce pour chaque ligne de métal.

Exemple d'application numérique : 0,1 fF/ μm pour la ligne de métal précédente.

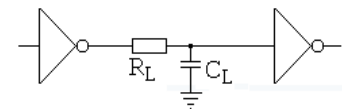
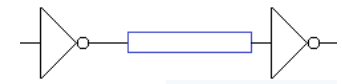
Les constructeurs de circuits intégrés cherchent des isolants à ϵ_r le plus faible possible.

2) Schéma résultant d'une ligne.

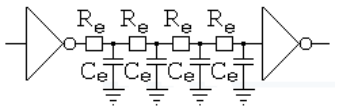
2.a) Modèle de Elmore adopté

Pour exploiter la version d'évaluation de Pspice, qui limite à 75 noeuds le schéma, il a été choisi de simuler une ligne formée de 24 cellules de Elmore.

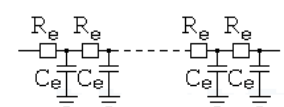
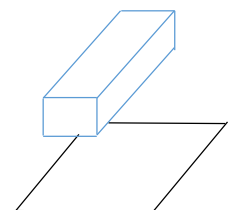
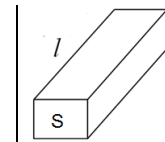
On choisit alors les valeurs numériques suivantes : $R_e = 500 \Omega$, $C_e = 6 \text{ fF}$, afin d'obtenir des résultats satisfaisants. Cela ne correspond pas à une technologie réelle, mais permet des simulations illustratives.



Modèle inadapté



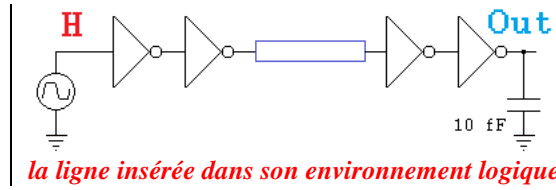
Modèle de Elmore



Une ligne en 24 éléments répartis

2.b) Tronçons de ligne

Le signal binaire à transmettre est issu d'une source PULSE de Pspice. Il s'agit d'un signal carré de 100 MHz. Pour être représentatif d'un signal logique réel, il est mis en forme par 2 inverseurs en cascade.



En sortie de ligne, on modélise le récepteur de ce signal par 2 inverseurs en cascade. Les signaux **H** et **Out** sont ainsi non complémentés. Un condensateur de 10 fF modélise la suite du montage électronique. On découpe la ligne en plusieurs tronçons et on place des répéteurs. Un répéteur est fait par 2 inverseurs logiques (de dimensions différentes) en cascade.

3) Résultats de simulation (netliste en annexe 1)

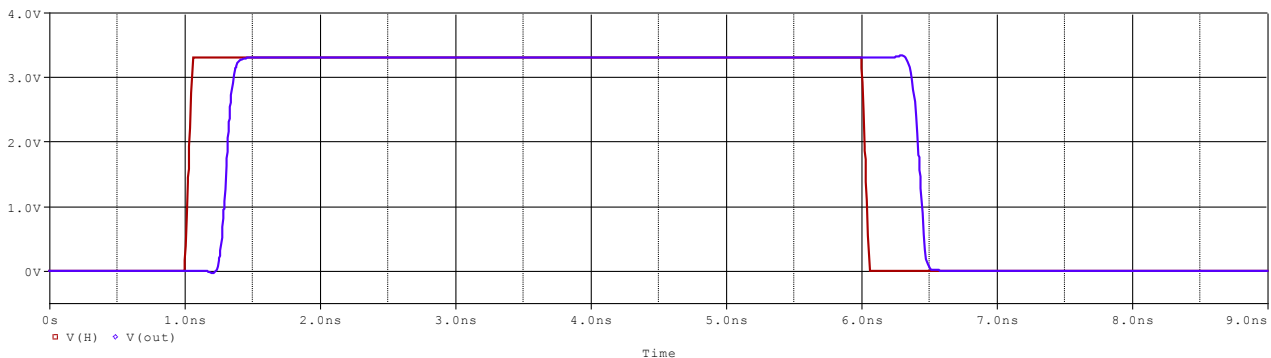
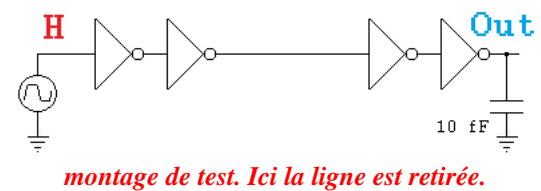
3.a) Identification du temps de traversée

L'électronique simulée travaille en 3,3 V. Le passage à 1,65 V forme l'évènement de départ ou d'arrivée du front. On mesure le temps de traversée du front montant, ainsi que celui du front descendant, et on établit un temps moyen.

Remarque : pour faciliter ces mesures, il a été ajouté un montage artificiel qui génère une impulsion entre les 2 fronts montants (nommée MM) et une impulsion entre les 2 fronts descendants (DD). Après simulation, par le menu « evaluate measurement », on accède directement à la largeur de ces impulsions.

3.b) Essai ligne non connectée

En désactivant la ligne, (il suffit de commenter la ligne C_e et de choisir $R_e = 1 \text{ n}\Omega$ par exemple), on a le temps de traversée des 4 opérateurs : 279,4ps entre front montant et 398,5 ps front descendant. Soit un retard moyen de 339 ps, pour les 4 portes logiques en cascade.



*Entrée **H** et sortie **Out** de toute la chaîne, ligne désactivée.*

Measurement	Value
Pulsewidth(V(MM))	279.44320p
Pulsewidth(V(DD))	398.52431p

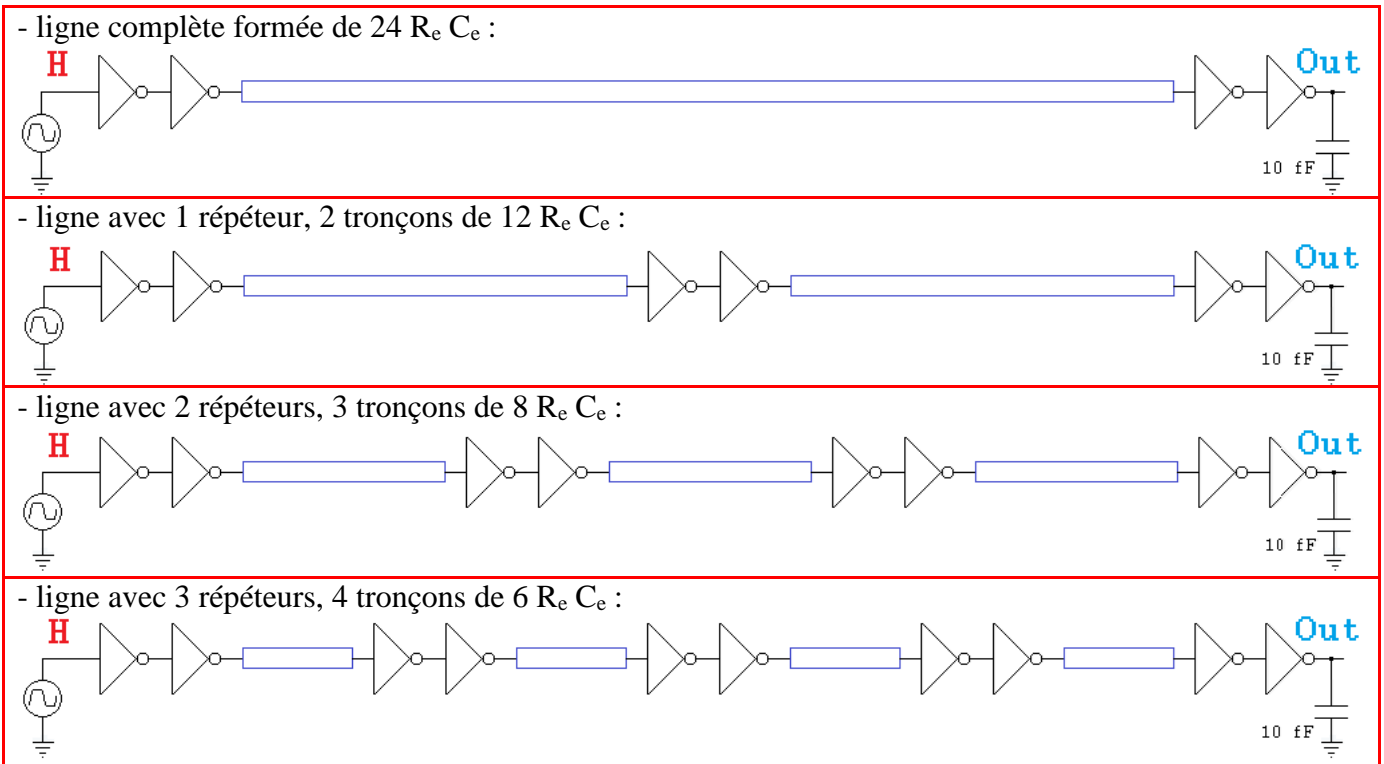
Temps de traversée du front montant et du front descendant

Remarque : cet essai de ligne désactivée a été refait en plaçant les répéteurs seuls (pourtant inutiles). Cela permet de quantifier le temps de traversée des répéteurs :

- 1 répéteur, soit 6 inverseurs: 411,3 ps et 591,6 ps, => moyenne de 501 ps, soit 166 ps par répéteur.
- 2 répéteurs, soit 8 inverseurs : 543,2 ps et 784,4 ps => moyenne de 663,8 ps, soit 166 ps par répéteur.
- 3 répéteurs, 10 inverseurs : 675,4 ps et 976,46 ps => moyenne de 825,9 ps, soit 166 ps par répéteur.

3.c) campagne d'essais

On réalise 4 essais :



	traversée du front montant entre H et Out	traversée du front descendant entre H et Out	temps moyen
ligne complète	1424 ps	1694 ps	1559 ps
avec 1 répéteur	1338 ps	1538 ps	1437,5 ps
avec 2 répéteurs	1416 ps	1627 ps	1521,5 ps
avec 3 répéteurs	1530 ps	1774 ps	1652 ps

Interprétation, bilan :

Comme simulé en page précédente, si l'émetteur et le récepteur de l'information logique étaient très proches, l'état binaire mettrait 339 ps pour transiter de **H** à **Out**, pour traverser les 4 inverseurs logiques.

Dans le cas où ces 2 entités sont éloignées, le chemin de métal forme une ligne, (modélisée ici par 24 cellules de Elmore), et le temps de parcours dans cet environnement passe alors à 1559 ps.

L'insertion d'un répéteur améliore le temps de parcours de 121,5 ps, (il passe à 1437,5 ps). Les signaux le long de la ligne sont moins déformés, et cela compense le temps de traversée du répéteur.

L'insertion de 2 répéteurs est moins avantageuse : on ne gagne que 37,5 ps.

Par contre, le passer à 3 répéteurs n'est pas intéressant : on perd 93 ps. L'amélioration de la forme d'onde le long de la ligne est contre balancée par le temps de traversée des 6 inverseurs.

Conclusion

Lors de la conception d'un circuit intégré, la phase de placement des blocs, fonctions, nécessite la prise en compte des délais de traversée des lignes. Cet article a montré sur un exemple simple, le rôle et la pertinence de répéteurs pour conserver, le long d'une ligne, une information logique non dégradée et non retardée.

Annexe 1 : fichier.cir

<pre> amélioration d'un temps de vol par répéteur * * fichier repeteur.cir * circuit : * .model MODN nmos (Level=1 Kp=90u Vto=0.6 Cgdo=.3n Cgso=2.8n lambda=0.02) .model MODP pmos (Level=1 Kp=25u Vto=-0.8 Cgdo=.3n Cgso=2.8n lambda=0.04) Valim A 0 DC 3.3 * horloge 100 MHz: VCLK H 0 pulse (0 3.3 1n 60p 60p 4.94n 10n) </pre>	
<pre> * inverseur .subckt INV in out A Mpl out in A A MODP W=0.8u L=0.35u Mn1 out in 0 0 MODN W=0.5u L=0.35u .ends </pre>	<p>Commentaire Inverseur qui présente une faible capacité d'entrée</p>
<pre> * buffeur .subckt BUF in out A Mpl out in A A MODP W=3.2u L=0.35u Mn1 out in 0 0 MODN W=2u L=0.35u .ends </pre>	<p>Commentaire Inverseur qui présente une faible impédance de sortie, pour driver une charge capacitive.</p>
<pre> * RC ELMORE élémentaire .subckt RC_el in out Re in out 500 Ce out 0 6f .ends </pre>	<p>Commentaire Pour neutraliser la ligne, il suffit de placer une valeur infiniment faible à Re (par exemple 1 n) et commenter Ce.</p>
<pre> .subckt tronçon6 in out * 6 éléments X1 in 1 RC_el X2 1 2 RC_el X3 2 3 RC_el X4 3 4 RC_el X5 4 5 RC_el X6 5 out RC_el .ends </pre>	<p>Commentaire 1/4 de ligne : 6 cellules élémentaires</p>
<pre> .subckt tronçon8 in out * 8 éléments X1 in 1 RC_el X2 1 2 RC_el X3 2 3 RC_el X4 3 4 RC_el X5 4 5 RC_el X6 5 6 RC_el X7 6 7 RC_el X8 7 out RC_el .ends </pre>	<p>Commentaire 1/3 de ligne : 8 cellules élémentaires</p>
<pre> * ligne 24 éléments * Xinv1 H H_i A INV Xinv2 H_i in A BUF X1 in 1 tronçon6 X2 1 2 tronçon6 X3 2 3 tronçon6 X4 3 4 tronçon6 Xinv3 4 out_i A INV Xinv4 out_i out A BUF CL out 0 10f * ligne avec 1 répéteur *Xinv5 H H_ii A INV *Xinv6 H_ii ini A BUF *X5 ini 5 tronçon6 *X6 5 6 tronçon6 *Xinv7 6 7 A INV *Xinv8 7 8 A BUF *X7 8 9 tronçon6 *X8 9 10 tronçon6 *Xinv9 10 11 A INV *Xinv10 11 out A BUF *CL out 0 10f </pre>	<p>Commentaires</p> <p>La version d'éval de Pspice ne permet pas de simuler les 4 configurations simultanément.</p> <p>Le plus simple est de simuler chaque configuration une à une, en validant / commentant les lignes concernées ci-contre.</p>

```
* ligne avec 2 répéteurs
*Xinv1 H H_i A INV
*Xinv2 H_i HB A BUF
*X5 HB 5 tronçon8
*Xinv3 5 6 A INV
*Xinv4 6 7 A BUF
*X6 7 8 tronçon8
*Xinv7 8 9 A INV
*Xinv8 9 10 A BUF
*X8 10 11 tronçon8
*Xinv9 11 12 A INV
*Xinv10 12 out A BUF
*CL out 0 10f
```

```
* ligne avec 3 répéteurs
*Xinv1 H H_i A INV
*Xinv2 H_i HB A BUF
*X5 HB 5 tronçon6
*Xinv3 5 6 A INV
*Xinv4 6 7 A BUF
*X6 7 8 tronçon6
*Xinv5 8 9 A INV
*Xinv6 9 10 A BUF
*X7 10 11 tronçon6
*Xinv7 11 12 A INV
*Xinv8 12 13 A BUF
*X8 13 14 tronçon6
*Xinv9 14 15 A INV
*Xinv10 15 out A BUF
*CL out 0 10f
```

```
* sources permettant de mesurer delay entre fronts montants
EcompC C 0 table {10000*(V(H)-1.65)} (0 0 1 1)
EcompB B 0 table {10000*(V(out)-1.65)} (0 0 1 1)
Edelay1 MM 0 table {10000*(V(C)-V(B))} (0 0 0.5 0.5)
* MM est à 0.5 entre front montant de H et front montant de out
```

```
* sources permettant de mesurer delay entre fronts descendants
EcompE E 0 table {-10000*(V(H)-1.65)} (0 0 1 1)
EcompD D 0 table {-10000*(V(out)-1.65)} (0 0 1 1)
Edelay2 DD 0 table {10000*(V(E)-V(D))} (0 0 0.5 0.5)
* DD est à 0.5 entre front descendant de H et front descendant de out
```

```
.TRAN 10ps 9ns 0 10ps ;
.OPTION ACCT ; pour afficher le nombre de noeuds dans le fichier.out
.PROBE
.END
```

Netliste, prête à simuler

articles 1 à 43 : sur le livre

Tableau récapitulatif des articles PDF disponibles sur ce site

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	présentation	document PDF
44	Exemples basiques et des exercices...	présentation	document PDF
45	Un exemple de circuit passif	présentation	document PDF
46	Un oscillateur Colpitts	présentation	document PDF
47	Compensation en fréquence des amplificateurs opérationnels	présentation	document PDF
48	Un amplificateur à transistors bipolaires	présentation	document PDF
49	Une bascule D Flip Flop CMOS	présentation	document PDF
50	Une porte XOR à transistors MOS	présentation	document PDF
51	Un VCO à 12 transistors MOS	présentation	document PDF
52	Une PLL à moins de 20 transistors MOS	présentation	document PDF
53	Un oscillateur à résistance négative	présentation	document PDF
54	Une charge électronique	présentation	document PDF
55	Un amplificateur en classe C	présentation	document PDF
56	Le monostable 74 123	présentation	document PDF
57	Un amplificateur en classe D	présentation	document PDF
58	Le transformateur en linéaire	présentation	document PDF
59	La loi d'ohm thermique	présentation	document PDF
60	Le transformateur en non linéaire	présentation	document PDF
61	Robustesse d'un oscillateur en anneau	présentation	document PDF
62	Une alimentation stabilisée	présentation	document PDF
63	Modélisation d'un haut-parleur	présentation	document PDF
64	Un synthétiseur de fréquence	présentation	document PDF
65	Un ampli audio de Sparkfun	présentation	document PDF
66	Simulation logique et analogique	présentation	document PDF
67	Un oscillateur à relaxation	présentation	document PDF
68	Lecteur de TAG RFID 125 kHz	présentation	document PDF
69	Diagramme de l'œil avec Pspice	présentation	document PDF
70	Un amplificateur hautes fréquences	présentation	document PDF
71	Une bizarrerie enfin expliquée...	présentation	document PDF
72	Comprendre le paramétrage de la FFT	présentation	document PDF
73	La relation de Bennett	présentation	document PDF
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	présentation	document PDF
75	Une horloge biphasé sans recouvrement	présentation	document PDF
76	Quelques simulations sur la diode	présentation	document PDF
77	Un ampli classe A, avec transformateur de sortie	présentation	document PDF
78	Des stimuli pour PSpice	présentation	document PDF
79	Simuler le TL431 : zener ajustable	présentation	document PDF
80	Un ADC flash	présentation	document PDF
81	Une chaîne d'acquisition : S&H, ADC, DAC	présentation	document PDF
82	Un amplificateur 50 MHz	présentation	document PDF
83	Un dérivateur non inverseur	présentation	document PDF
84	Un amplificateur bipolaire avec push pull CMOS	présentation	document PDF
85	Rôle des répéteurs logiques dans un circuit intégré	présentation	document PDF
86	Un driver logique CMOS pour charge 50 ohms	présentation	document PDF
87	Des triggers de Schmitt et des applications	présentation	document PDF
88	Un filtre gaussien analogique	présentation	document PDF
89	Un générateur de bruit rose	présentation	document PDF

90	Un anémomètre à fil chaud : simulation comportementale	présentation	document PDF
91	Un oscillateur à pont de Wien stabilisé par CTN	présentation	document PDF
92	L'emballement thermique d'une diode	présentation	document PDF
93	Les puissances dans un amplificateur	présentation	document PDF
94	Asservissement de puissance dans une résistance	présentation	document PDF
95	Asservissement de la puissance émise par une antenne radio	présentation	document PDF
96	Un driver de LED de puissance	présentation	document PDF
97	Exploiter Pspice pour simuler des filtres numériques	présentation	document PDF
98	Un filtre en cosinus surélevé avec Pspice	présentation	document PDF
99	Effet de la température sur un amplificateur en classe A	présentation	document PDF
100	Un amplificateur à transistors JFET et bipolaires	présentation	document PDF
Supplément, hors article :			
mon cours « Electronique pour les communications numériques », polycopié couleur 201 pages en pdf			

[retour à l'écran d'accueil de ce site](#)