

Analyse, simulation d'une boucle à verrouillage de phase à 20 transistors

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet :

[page d'accueil](#)

d'autres pdf, sur différents sujets :

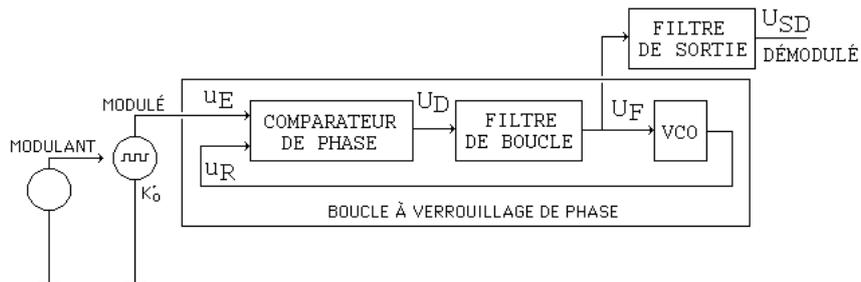
[liste des PDF](#)

Le but de ce travail est de vérifier -et de caractériser- par des simulations (Pspice et Matlab) le fonctionnement de la PLL dont le schéma complet est donné. On étudiera séparément chaque bloc, puis on mettra en œuvre tout l'ensemble.

Ce document a pour objectif de faciliter la compréhension de la PLL qui demeure un montage complexe, difficile.

Introduction

La présentation de la PLL (phase locked loop) est ici minimaliste, car elle a été étudiée dans l'ouvrage « comprendre l'électronique par la simulation », et montrée, sous une forme pratique, dans le site Internet associé. Nous allons donc être succincts : un des rôles de la PLL est de démoduler un signal modulé en fréquence. Dans cette utilisation, la chaîne modulation/démodulation peut se représenter par ces éléments :



La chaîne modulation de fréquence / démodulation de fréquence par PLL

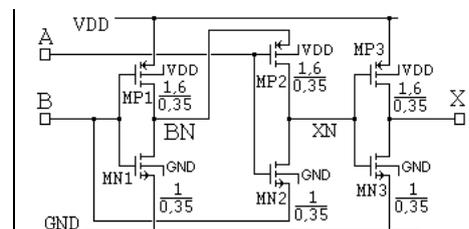
Nous allons analyser (par le calcul, et/ou par la simulation) chaque élément, puis faire de même pour toute la chaîne.

1) Comparateur de phase : un OU exclusif.

L'opérateur XOR ($X = A \oplus B$) a pour équation $A \setminus B + A \setminus B$.

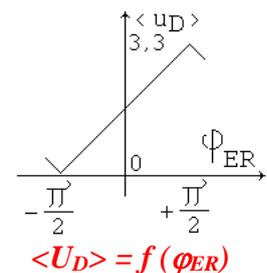
On peut donc le fabriquer classiquement avec des portes de base : INVERSEUR, ET, OU.

Il est proposé ci-contre un schéma à 6 transistors, qui n'exploite pas les schémas classiques des opérateurs logiques.



Porte XOR (VDD = 3,3 V).

On pose $u_D(t)$ la sortie du XOR. Le document [xor.pdf](#) a montré que ce détecteur de phase, avait la caractéristique ci-contre : autour de la position centrale, on a $\langle U_D \rangle = K_d \phi_{ER}$. Où $K_d = 1,05 \text{ V/rad}$.



Remarques :

- le signe de K_d dépend de l'affectation des signaux sur les entrées A et B.
- cette réponse idéalisée suppose des signaux parfaits.

2) Le filtre de boucle

Le comparateur doit être associé à une filtre passe bas. Le filtre de boucle, de même nature, peut être utilisé. Il faut vérifier qu'il coupe les hautes fréquences contenues dans la sortie du comparateur de phase.

Le filtre a pour transmittance de Laplace :

$$F(p) = \frac{U_F(p)}{U_D(p)} = K_f \frac{1 + \tau_1 p}{1 + \tau_2 p}, \text{ avec } \tau_1 = R_2 C \text{ et } \tau_2 = (R_1 + R_2) C.$$

On a : $R_1 = 130 \text{ k}\Omega$, $R_2 = 14,45 \text{ k}\Omega$, $C = 40 \text{ pF}$. On déduit :

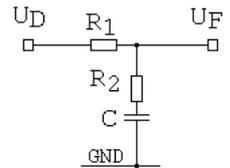
$$\tau_1 = R_2 C = 14,45 \cdot 10^3 \times 40 \cdot 10^{-12} = 0,578 \text{ }\mu\text{s}$$

$$\tau_2 = (R_1 + R_2) C = (130 + 14,45) \cdot 10^3 \times 40 \cdot 10^{-12} = 5,778 \text{ }\mu\text{s}$$

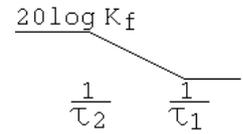
$$K_f = 1.$$

$$1/\tau_1 = 1,73 \text{ Mrad/s}$$

$$1/\tau_2 = 173 \text{ krad/s}$$



Filtre de boucle



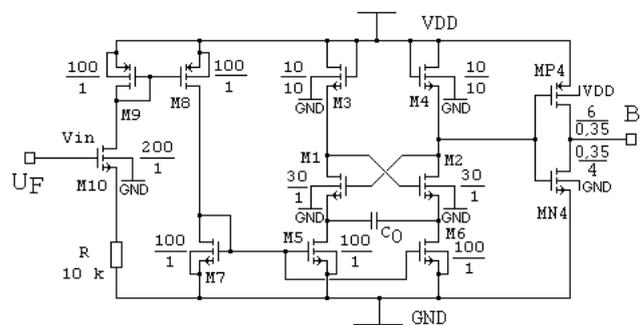
Réponse harmonique

3) Le VCO

Un VCO est un oscillateur dont la fréquence est liée à une tension de commande. Le schéma proposé est ci-contre.

Le document [vco.pdf](#) a montré qu'avec une tension de commande comprise entre 0,75 V et 1,75 V, il présente un coefficient $K_o = 18,22$

(Mrad/s)/V. Au-delà, sa caractéristique fréquence / tension n'est plus linéaire.



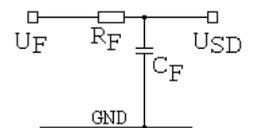
Le VCO

4) Le filtre de sortie

Le filtre de sortie est facultatif. Il est placé pour réduire les harmoniques insuffisamment atténuées par le filtre de boucle.

On donne : $R_F = 289 \text{ k}\Omega$, $C_F = 2 \text{ pF}$, ce qui donne une constante de temps $R_F C_F = 289 \cdot 10^3 \times 2 \cdot 10^{-12} = 0,578 \text{ }\mu\text{s} = \tau_1$.

Sa transmittance sous forme Laplace est : $\frac{1}{1 + \tau_1 p}$. Sa fréquence de coupure est 275 kHz.



Filtre de sortie

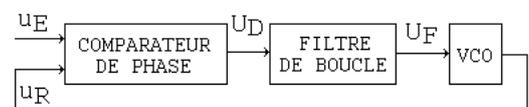
5) Prédétermination du fonctionnement du système bouclé :

La PLL seule est l'association des 3 éléments, ce qui forme un asservissement.

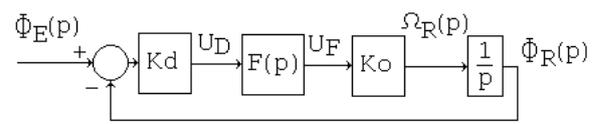
On suppose que l'on travaille en linéaire, petits signaux.

On a le schéma fonctionnel suivant:

$$\langle U_D \rangle = K_d \phi_{ER} ; F(p) = K_f \frac{1 + \tau_1 p}{1 + \tau_2 p} ; \omega_R = K_o U_f.$$



Système bouclé



Le schéma fonctionnel

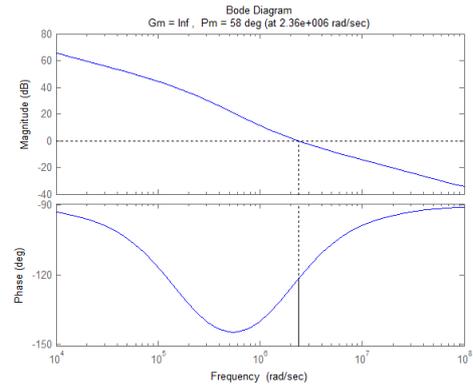
La **stabilité** peut se déterminer par la $TBO(j\omega) = K_o K_d K_f \frac{1}{j\omega} \left(\frac{1 + j\omega\tau_1}{1 + j\omega\tau_2} \right)$,

avec $K = K_o K_d K_f = 18,22 \text{ Mrad/s} \times 1,05 \text{ V/rad} \times 1 = 19,13 \text{ Mrad/s}$

$\tau_1 = 0,578 \text{ }\mu\text{s}$, et $\tau_2 = 5,78 \text{ }\mu\text{s}$.

Bien que le tracé de la réponse harmonique de la **FTBO** soit facile « à la main », exploitons **Matlab** :

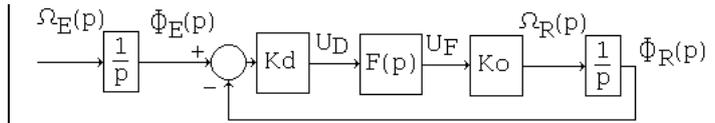
```
tau1 = 0.578e-6 ;
tau2 = 5.78e-6 ;
Tfiltre = TF([tau1 1],[tau2 1]) ;
K = 19.13e6 ;
FTBO = Tfiltre*TF([K],[1 0]) ;
margin (FTBO) ;
```



On a une **marge de phase** de 58° : le système est **stable**.

Remarque : c'est la cassure placée à $1/\tau_1$, donc la présence de R_2 , qui fait remonter la phase. **Sans R_2 la marge de phase serait quasi nulle.**

Si l'entrée est la fréquence (ou la pulsation), le schéma fonctionnel devient :



La **boucle fermée** est : $\frac{\Phi_R(p)}{\Phi_E(p)} = \frac{\Omega_R(p)}{\Omega_E(p)}$.

$$\frac{\Phi_R(p)}{\Phi_E(p)} = \frac{K \frac{1}{p} \frac{(1 + \tau_1 p)}{1 + \tau_2 p}}{1 + K \frac{1}{p} \frac{(1 + \tau_1 p)}{1 + \tau_2 p}} = \frac{K(1 + \tau_1 p)}{p(1 + \tau_2 p) + K(1 + \tau_1 p)} = \frac{K(1 + \tau_1 p)}{p + \tau_2 p^2 + K + K\tau_1 p} = \frac{K(1 + \tau_1 p)}{\tau_2 p^2 + (1 + K\tau_1)p + K}$$

$$= \frac{1 + \tau_1 p}{\frac{\tau_2}{K} p^2 + \frac{1 + K\tau_1}{K} p + 1} = \frac{1 + \tau_1 p}{\frac{p^2}{\omega_0^2} + 2z \frac{p}{\omega_0} + 1} \text{ avec } \omega_0 = \sqrt{\frac{K}{\tau_2}} \text{ et } z = \frac{1 + K\tau_1}{2} \sqrt{\frac{1}{K\tau_2}}$$

A.N. : $\omega_0 = \sqrt{(19,13 \cdot 10^6 / 5,78 \cdot 10^{-6})} = 1,82 \text{ Mrad/s}$, soit f_0 (fréquence propre) = 290 kHz

et $z = \frac{1 + 19,13 \times 10^6 \cdot 0,578 \times 10^{-6}}{2} \sqrt{\frac{1}{19,13 \times 10^6 \times 5,78 \times 10^{-6}}} \approx 0,55$.

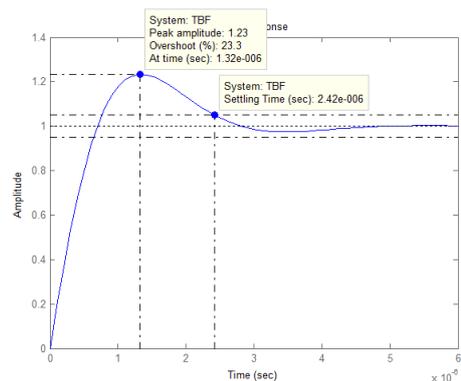
Lors d'un échelon de fréquence sur le signal $u_E(t)$, la fréquence de retour suit celle d'entrée, au travers une transmittance (1^{er} ordre / $2^{\text{ème}}$ ordre).

Cette réponse indicielle est lourde de calcul.

Exploitons **Matlab** :

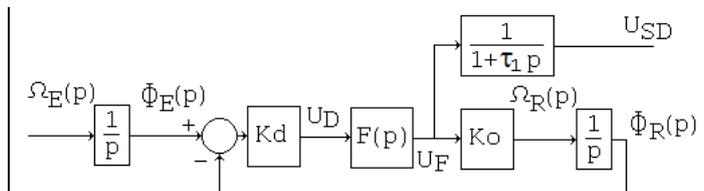
```
TBF = feedback (FTBO,1) ;
step (TBF) ;
```

La sortie se stabilise à $\pm 5\%$ en 2,42 μs , mais présente un dépassement de 23,3 %. Sur le plan « automatique », cette valeur peut être jugée excessive.



Après le filtre de boucle, on a un filtre passe bas de sortie, de transmittance $F(p) = \frac{1}{1 + \tau_1 p}$

Que devient ce temps de réponse en U_{SD} ?



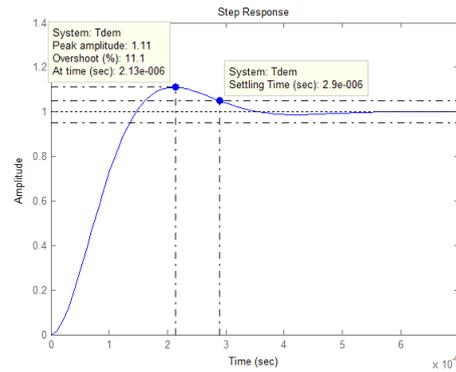
Avec l'ajout du filtre de sortie qui simplifie le numérateur, il ne reste que l'action du dénominateur d'ordre 2. L'expression de la **FTBF** est donc simplifiée, et calculable sans difficulté.

Continuons avec **Matlab**, et insérons ce filtre de sortie passe-bas :

```
Tfilsortie=TF([1],[tau1 1]) ;
Tdem = TBF*Tfilsortie ;
step (Tdem) ;
```

La sortie se stabilise à $\pm 5\%$ en $3 \mu\text{s}$ environ. Le dépassement est moins marqué : 11 %.

Ces chiffres sont parfaitement en accord avec les classiques abaques des réponses à l'échelon d'un système du deuxième ordre passe bas, à $z = 0,55$ et $\omega_0 = 1,82 \text{ Mrad/s}$



Exploitation :

Si on veut démoduler aisément, il faut laisser quelques μs avant de placer un autre saut de fréquence. Le filtre de sortie a « adouci » le dépassement sur la sortie démodulée (U_{SD}), sans trop pénaliser en temps de réponse.

Insistons sur le fait que ces valeurs sont issues de l'hypothèse d'un système linéaire, qui ignore complètement l'aspect "discrétisé" des signaux logiques et qui suppose le fonctionnement du VCO sur une étendue infinie de fréquence. On est dans une approche « comportementale ».

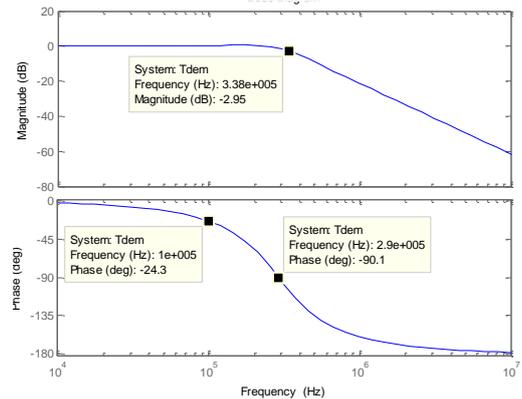
Pour finir la prédétermination de fonctionnement, on peut déterminer la bande passante de la chaîne modulation-démodulation (sortie U_{SD}).

```
Bode (Tdem) ;
```

La bande passante à -3 dB est de $0,34 \text{ MHz}$.

La courbe de phase passe par -90° à 290 kHz , = f_0 , fréquence propre.

A 100 kHz , il n'y a quasiment pas d'amplification, le déphasage est de -24° .



6) Comment générer un signal FM logique

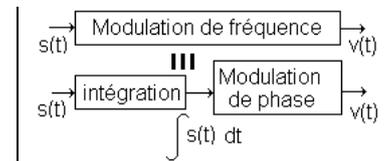
On se propose de tester ici séparément le signal qui servira d'entrée de la PLL. Cette entrée étant digitale (entrée du XOR), il faut générer un signal binaire de fréquence variable, ce qui n'existe pas dans la librairie de Pspice. On donne, dans ce paragraphe, une façon de faire.

On exploite la propriété rappelée ci-contre :

Dans un premier temps, l'onde FM générée est de type sinusoïdale.

On choisit un signal modulant de 100 kHz , et une porteuse de $2,6 \text{ MHz}$.

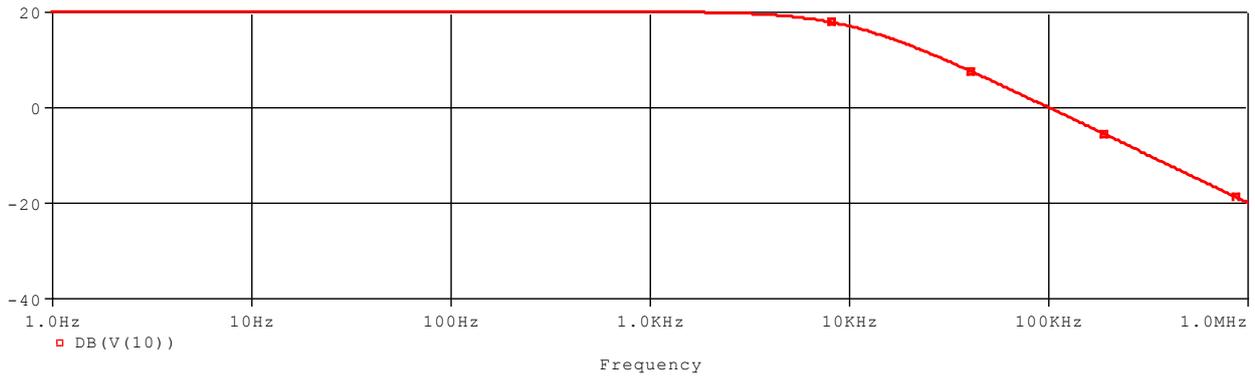
(fichier **source_FM.cir**)



<pre>* test de source * fichier source_FM.cir .param m = 3 .param f_porteuse = 2.6Meg .param f_modulant = 100k .param A0 = 10 ; ampli statique du pseudo intégrateur Vmod 1 0 sin(0 1 {f_modulant} 0 0 0) AC=1 ; modulant .AC DEC 100 1 1Meg Eint 10 0 LAPLACE {V(1)} {{A0}/(1+s*({A0}/(2*PI*{f_modulant}}))};</pre>	<pre>* pseudo integrateur : pente -20 dB/déc et 0 dB à fmodulant .IC V(10)=-1 Evco AA 0 value={ 10*(sin(2*PI*{f_porteuse}*time + m*(v(10)))) } ; Ec A 0 table {50*V(AA)} (0 0 3.3 3.3) *.TRAN 10n 1m 0.1m 10n ; permet une FFT précise .probe .END</pre>
--	--

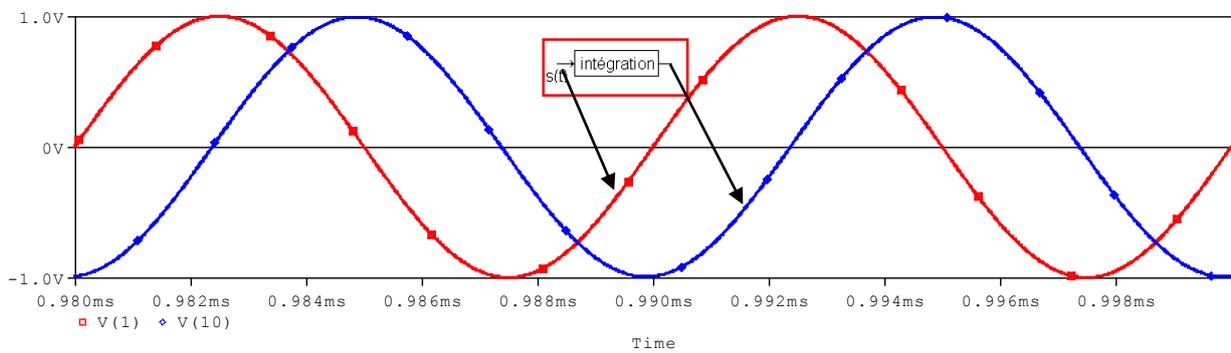
Netliste, prête à simuler

- On visualise tout d'abord la réponse harmonique du pseudo intégrateur (sortie V(10)):



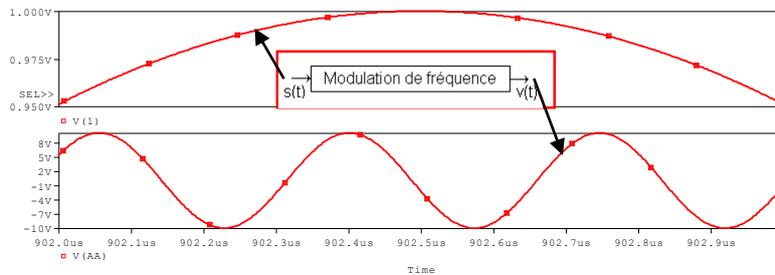
à 100 kHz on traverse 0 dB, donc pas d'amplification, avec une pente de -20 dB/décade

- On active ensuite la simulation transitoire et on visualise V(1) et V(10) :

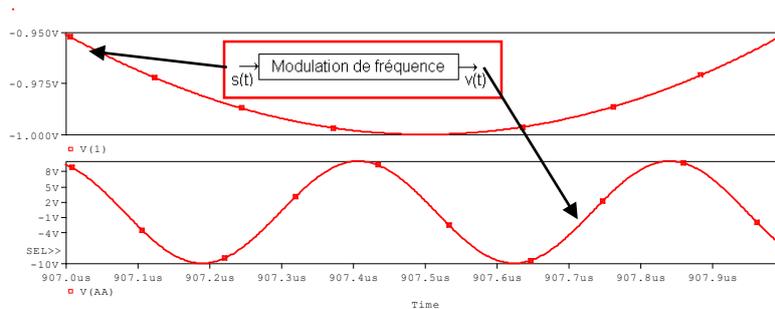


On a bien une intégration : V(1) : sinus et V(10) : -cosinus, sans amplification.

Puis on vérifie la modulation de fréquence en sortie (nœud AA, sortie de Evco) :



"au maximum du modulant de V(1)", on mesure la période de l'onde modulée d'où une fréquence instantannée de 2,9 MHz.



"au minimum de V(1)", on mesure on mesure la période de l'onde modulée d'où une fréquence instantannée de 2,31 MHz.

Avouons que cette façon de mesurer les périodes est peu précise : la fréquence évolue en permanence. Mais en exploitant le fichier.cir, on peut faire un **calcul** pour f_{min} et f_{max} instantannées :

Il suffit d'exploiter la relation de l'onde modulée en fréquence : $\Delta f = m F_{modulant}$, soit : $\Delta f = 3 \times 100 \text{ kHz}$.

Les fréquences instantannées sont : $f_{min} = 2,6 \text{ MHz} - 300 \text{ kHz} = 2,3 \text{ MHz}$
 $f_{max} = 2,6 \text{ MHz} + 300 \text{ kHz} = 2,9 \text{ MHz}$.

- Au bilan, quand le modulant atteint 1 V, la fréquence s'est déplacée de 300 kHz.

En conclusion, si on modélise cette source AA par un VCO de coefficient K'_0 (avec cette valeur de m), on a : $K'_0 = 300 \text{ kHz/V}$ ou $1,885(\text{Mrad/s})/\text{V}$.

Ce qui donne un rapport $\boxed{K'_0/K_0} = 1,885 / 18,22 = \boxed{0,103}$.

Remarque : l'affichage du spectre (menu FFT) de ce signal sinusoïdal modulé en fréquence donne :



Les intervalles entre chaque raies sont de 100 kHz, fréquence du modulant.

Le spectre est symétrique, le centre est la porteuse 2,6 MHz.

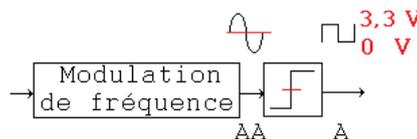
Les amplitudes relatives sont en parfaite coincidence avec les coefficients donnés par les fonctions de Bessel (ici 100 % = 10 V, valeur arbitraire) rappelés ci-contre à $m = 3$.

Ordre	m
0	-0,26
1	0,339
2	0,486
3	0,309
4	0,132
5	0,043
6	0,011
7	≈ 0

Remarque : la bande de Carson (10% de 10 V soit 1 V) est [2,2 MHz ; 3 MHz]

- Dans un deuxième temps, l'onde FM générée est un signal logique :

Le fichier.cir montre un étage de mise en forme réalisé par une source de tension commandée par une tension, (Ec) traversant une fonction tabulée.



Mise en forme pour générer des signaux logiques

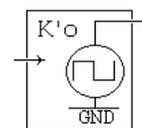
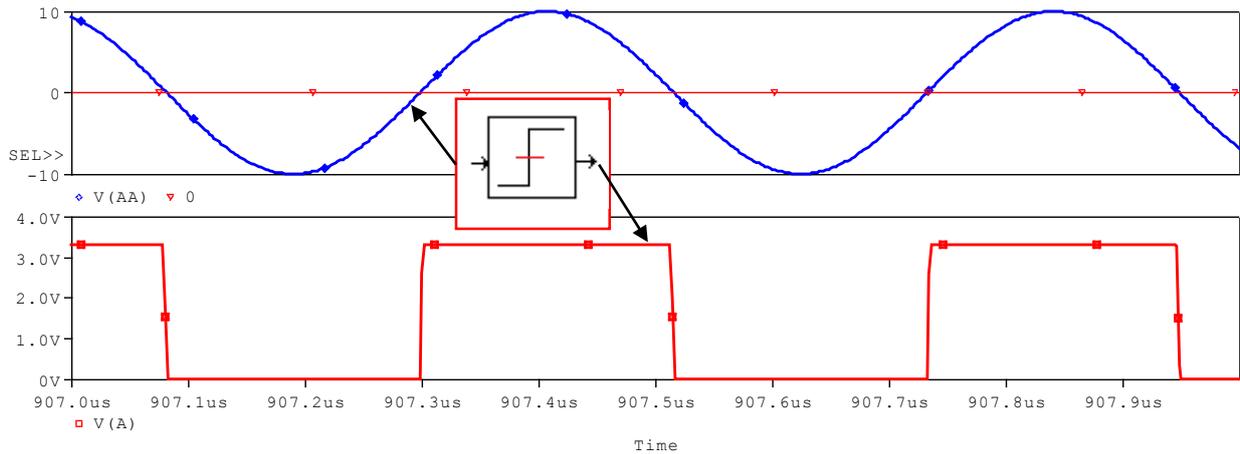


Schéma équivalent

L'observation de sa sortie (V(A)) montre effectivement un signal de niveaux logiques 0V ; 3,3 V :



En haut : le signal modulé en fréquence, analogique (sinusoïdal)

En bas : ce signal remis en forme par un comparateur tout ou rien.

On a donc un signal logique (0 ; 3,3 V et fronts raides),

de porteuse 2 MHz, modulé en fréquence par un modulant 100 kHz.

(dans ce très court extrait de chronogramme on ne perçoit pas la modulation de fréquence).

7) La PLL en fonctionnement

a) **Plage de maintien théorique**, établie en fonctionnement linéaire.

Si on suppose qu'on exploite toute la dynamique de tension en U_F , c'est à dire 0 V ; 3,3 V, soit une excursion de $\pm 1,65$ V, cela provoque une variation de $\pm 1,65 \times K_o$ de pulsation ($K_f = 1$).

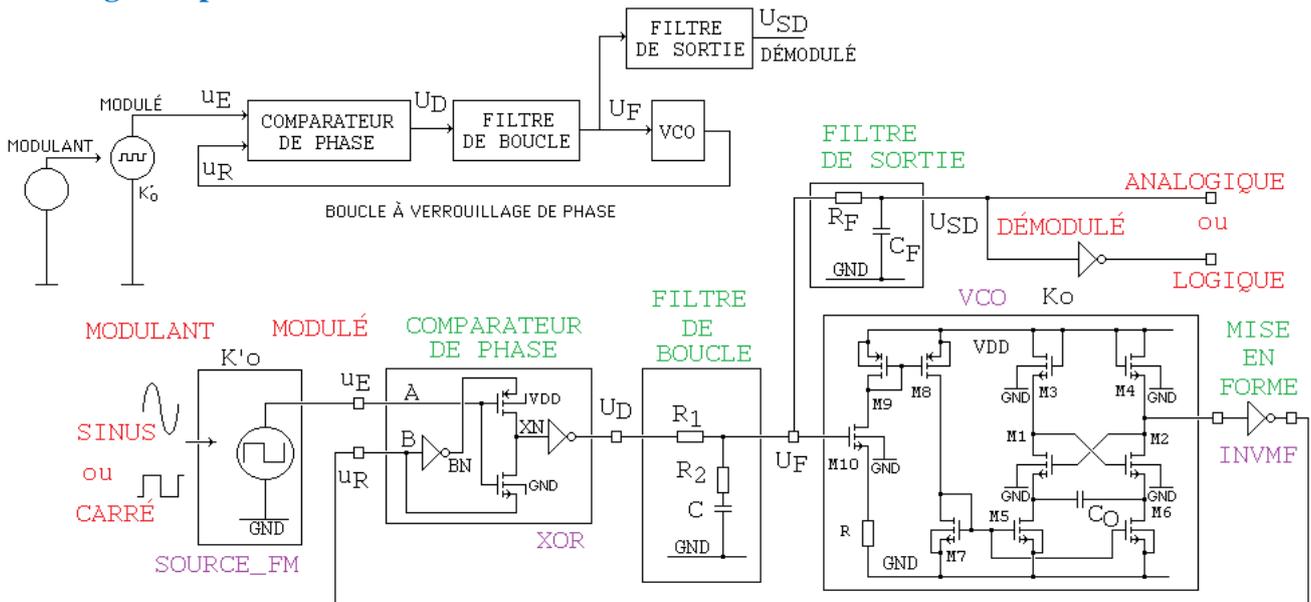
On a donc $\pm 1,65 \times 18,22 = \pm 30$ Mrad/s soit $\pm 4,78$ MHz.

La plage de maintien théorique sera $\pm 4,78$ MHz autour de la fréquence centrale.

Un autre calcul donne le même résultat : $\pm K_o K_d K_f \pi/2 = 18,22 \times 1,05 \times 1 \times 1,57 = 30$ Mrad/s

En fait, la plage sera plus réduite, car la dynamique de tension en U_F ne commence qu'à partir de 0,7 V.

b) Montage complet simulé.



En haut : rappel du schéma de principe

En bas : schéma électronique

<pre> PLL complète * fichier PLL.cir * transistors AMSD : .model MODN nmos (Level=1 Kp=110u Vto=0.68 Cgdo=0.5n Cgso=3.2n lambda=0.01) .model MODP pmos (Level=1 Kp=40u Vto=-0.7 Cgdo=0.5n Cgso=3.2n lambda=0.01) * ***** circuit : ***** Vdd vdd 0 dc 3.3V ; alim * signal d'entrée en A .param m = 3 .param f_porteuse = 2.6Meg .param f_modulant = 100k .param A0 = 10 ; amplification statique du pseudo intégrateur * pour modulant sinusoïdal Vmod 1 0 sin(0 1 {f_modulant} 0 0 0) ; modulant Eint 10 0 LAPLACE {V(1)} {{A0}}/(1+s*({A0}}/(2*PI*{f_modulant}}))); * pseudo integrateur : pente -20 dB/déc et 0 dB à fmodulant .IC V(10)=0 Evco AA 0 value={ 10*(sin(2*PI*{f_porteuse}*time + m*(v(10)))) } ; Ec A 0 table {10*V(AA)} (0 0 3.3 3.3) * pour modulant carré : FSK doit être de 100 kHz (passage à 0 dB) *Vmod 1 0 PULSE (-1 1 0u 10n 10n 5u 10u) Xxor A B X OUEX * filtre de boucle entrée UD (noeud X) sortie UF R1 X UF 130k R2 UF UFM 14.45k CB UFM 0 40p * * filtre de sortie RF UF USD 289k CF USD 0 2p </pre>	<pre> * cco M1 VD1 VD2 VS1 0 MODN w=30u l=1u M2 VD2 VD1 VS2 0 MODN w=30u l=1u M3 vdd vdd VD1 0 MODN w=10u l=10u M4 vdd vdd VD2 0 MODN w=10u l=10u M5 VS1 n1 0 0 MODN w=100u l=1u M6 VS2 n1 0 0 MODN w=100u l=1u * conversion tension/courant M7 n1 n1 0 0 MODN w=100u l=1u M8 vdd n2 n1 vdd MODP w=100u l=1u M9 vdd n2 n2 vdd MODP w=100u l=1u M10 n2 UF nr 0 MODN w=200u l=1u R nr 0 10k ; regle le courant Io C0 VS1 VS2 10p ; donne la fréquence .IC V(VD2)=3 XinvS VD2 B INVMF *etage de sortie FSK XinvFSK USD L INVCOS * un modulant de 100 kHz représente 10 us de période. * un run de quelques périodes est déjà représentatif .TRAN 1n 80u 0 1n ; 60u suffit pour run PLL .OPTION ACCT ***** les sous circuits ***** .subckt OUEX A B X Valim Vdd 0 DC=3.3 Mp2 XN A BN Vdd MODP W=1.6u L=0.35u ; DGSB Mn2 XN A B 0 MODN W=1u L=0.35u ; DGSB Xinv1 B BN INVCOS Xinv2 XN X INVCOS .ends .subckt INVMF in out Valim Vdd 0 DC=3.3 Mp out in vdd vdd MODP W=6u L=0.35u ; W/L grand Mn out in 0 0 MODN W=0.35u L=4u ; W/L petit .ends .subckt INVCOS in out Valim Vdd 0 DC=3.3 Mp out in vdd vdd MODP W=1.6u L=0.35u ; DGSB Mn out in 0 0 MODN W=1u L=0.35u ; DGSB .ends .PROBE .END </pre>
--	---

Netliste "prête à simuler" de la PLL complète

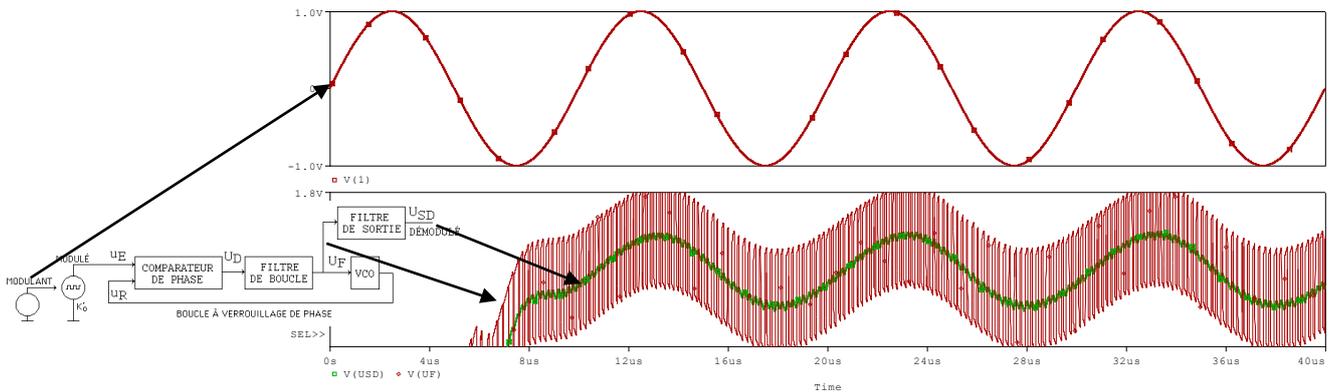
Remarques :

- Le filtre de boucle est attaqué par un signal logique (sortie du XOR) de fréquence double de celle d'entrée de la PLL (cela vient du produit des signes que réalise le XOR). L'entrée de la PLL est une fréquence porteuse 2,6 MHz, avec une modulation de fréquence (modulant 100 kHz, $m = 3$). Si l'onde était sinusoïdale, son spectre serait donné par la bande de Carson, soit [2,2 MHz ; 3 MHz]. Avec une onde carrée, par décomposition en série de Fourier, le spectre est formé de motifs, dont le premier est sur le fondamental, soit [2,2 MHz ; 3 MHz]. Donc, en sortie du XOR, nous avons une composante continue + des harmoniques dont la première est à 4,4 MHz. Les harmoniques étant bien au-delà de 275 kHz, le filtre de boucle les atténuera d'un coefficient 10.

- La bande passante de toute la chaîne modulation-démodulation est 275 kHz : le choix de placer un modulant à 100 kHz est cohérent car dans la bande.

c) Run avec le modulant sinusoïdal de la source_FM.

Il est nécessaire de faire un run suffisamment long pour laisser la PLL s'accrocher. Après verrouillage (ici un transitoire de 8 µs qui sort de l'affichage), on observe les différents points stratégiques de ce schéma :



En haut modulant sinusoïdal, 100 kHz.

En bas, le signal en U_F est bien l'image du modulant (sinus) avec un résidu de la fréquence double, atténuée, mais non éliminée par le filtre de boucle.

en U_{SD}, le filtre de sortie améliore les choses :

on a essentiellement une sinusoïde de dynamique 1,65 V – 1,465 V soit 0,21 V càc.

Le résidu de la fréquence double est quasi négligeable.

On retrouve ainsi l'image du modulant : la démodulation est réalisée.

Interprétation :

On a vu que la FTBF est $\frac{K'_0/K_0}{\frac{p^2}{\omega_0^2} + 2z\frac{p}{\omega_0} + 1}$ à $f_0 = 290$ kHz, et $z = 0,55$. On a $K'_0/K_0 = 0,103$.

La fréquence d'entrée est de 100 kHz : on se situe sur l'asymptote horizontale de la réponse harmonique de cette FTBF. En sortie, on attendait, crête à crête : $2 V \times K'_0/K_0 = 2 \times 0,103 = 0,206$. La valeur mesurée de 0,21 V est donc parfaitement conforme. D'ailleurs, la réponse donnée par Matlab montrait une très légère amplification, car on se situe sous l'influence de la faible résonance.

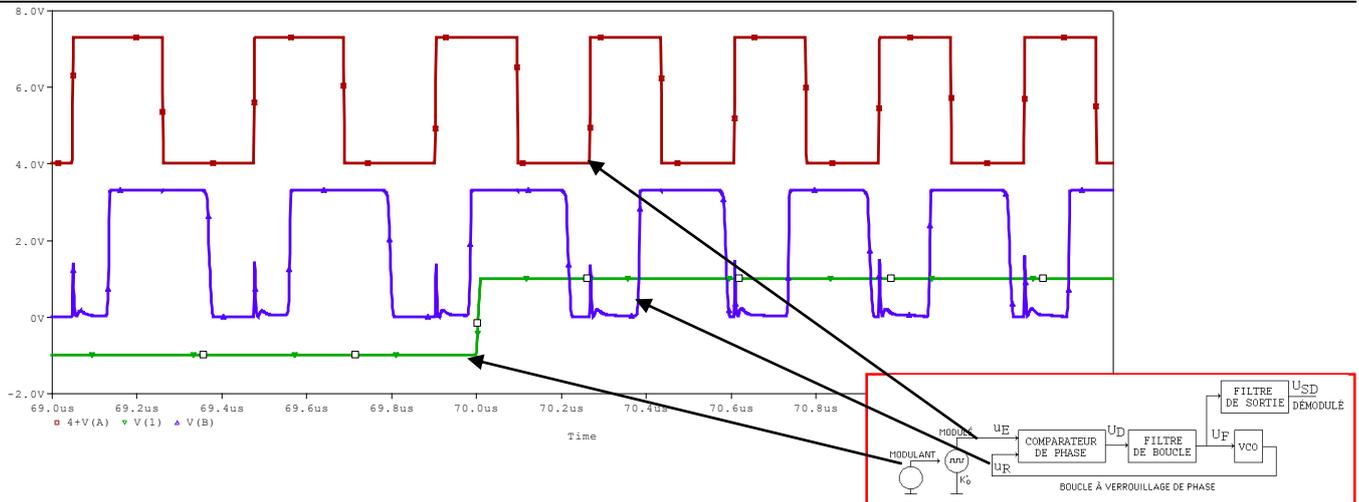
On mesure, difficilement il est vrai, entre le modulant V(1) et le démodulé V(USD), un décalage de 580 ns, soit, devant 10 µs que représente 360°, un déphasage de 21° environ, valeur en accord avec la simulation Matlab, établie en système linéaire simplifié.

d) Run avec le modulant carré de la source_FM

On désire tester la PLL en démodulation FSK. Pour ce faire, on exploite un modulant carré, qui sera une image du flot binaire à transmettre. On modifie la source du modulant en plaçant une source pulse, paramétrée pour délivrer 2 niveaux distincts (et des transitions instantanées). Le signal modulé sera donc formé de 2 fréquences distinctes. Le modulant est cadencé à 100 kHz, c'est-à-dire 10 µs de période : durant 5 µs il y aura une fréquence, puis durant 5 µs il y aura une autre fréquence. Ces durées sont compatibles avec le temps de réponse prédéterminé (environ 3 µs). Les 2 fréquences instantanées doivent être placées dans la plage de capture, pour être sûr de ne pas subir de décrochage lors de la transition, mais pas trop rapprochées entre elles non plus, pour mieux voir le signal démodulé.

Remarque : ici, le but de la démodulation par PLL n'est pas la reconstitution du carré, mais plutôt de son fondamental pour en récupérer le signe et reformer un signal logique.

La reconstitution d'un signal carré serait possible à des fréquences bien plus faibles que 100 kHz, pour que les principales harmoniques soient dans la bande passante de 275 kHz.



En bas (vert) : commande du saut de fréquence
En haut (rouge) : signal d'entrée de la PLL (décalé pour une meilleure lisibilité)
milieu (bleu) : signal de retour de la PLL (= sortie VCO)

Interprétation :

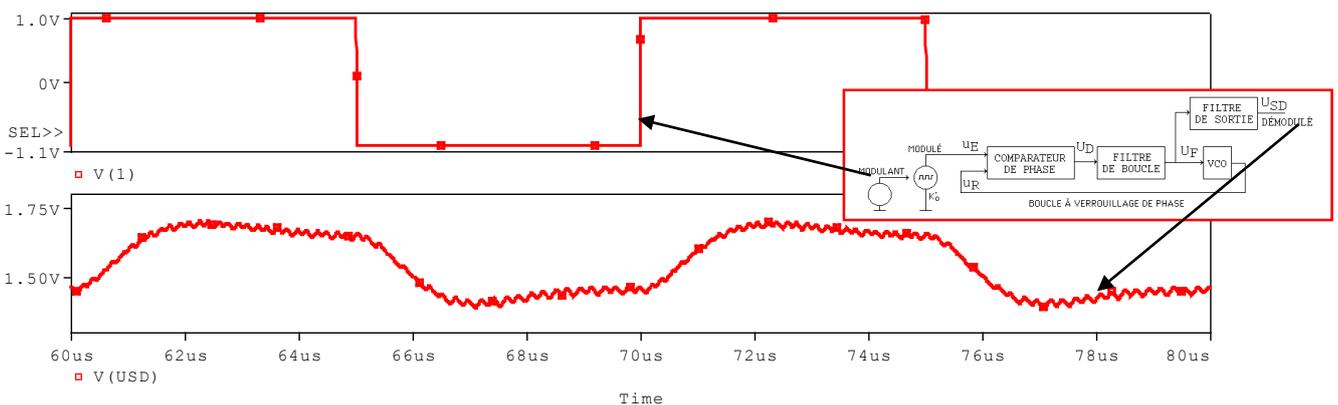
- On a la commande du saut de fréquence (zoom placée à $t = 70 \mu s$) : c'est le signal -1 V ; + 1 V qui commande le VCO à $K'o = 300 \text{ kHz/V}$.

- Le signal d'entrée de la PLL montre très clairement les 2 fréquences : avant front $f = 2,3 \text{ MHz}$, après front : 3 MHz.

- Le signal de retour montre que la PLL reste accrochée : le signal passe de 2,3 MHz à 3 MHz.

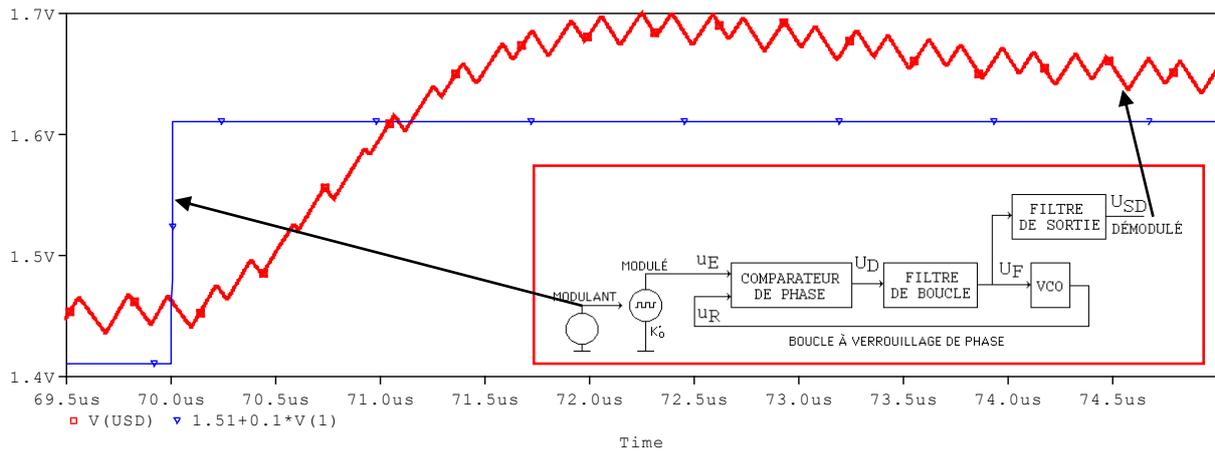
On remarque également que ce signal est pollué par des pics, présents au moment du front montant de l'autre entrée. Le schéma interne du XOR explique cela (couplage entre les entrées par la porte de transmission). Ces pics n'ont pas de conséquence pour la suite du circuit.

Observons modulant et démodulé :



Même simulation, et signaux modulant (échelon) et démodulé.
On reconnaît en sortie la réponse d'un ordre 2 avec léger dépassement.
On a : $\Delta USD \approx 200 \text{ mV}$

On attendait $2 \text{ V} \times K'o/K_0 = 2 \times 0,103 = 0,206$. La valeur mesurée est donc parfaitement conforme. Faisons un zoom pour mieux mesurer le dépassement.



Zoom sur la transition : on a une réponse à l'échelon d'un système du deuxième ordre.
Remarque : le signal de commande est représenté ici coefficienté pour une meilleure comparaison.

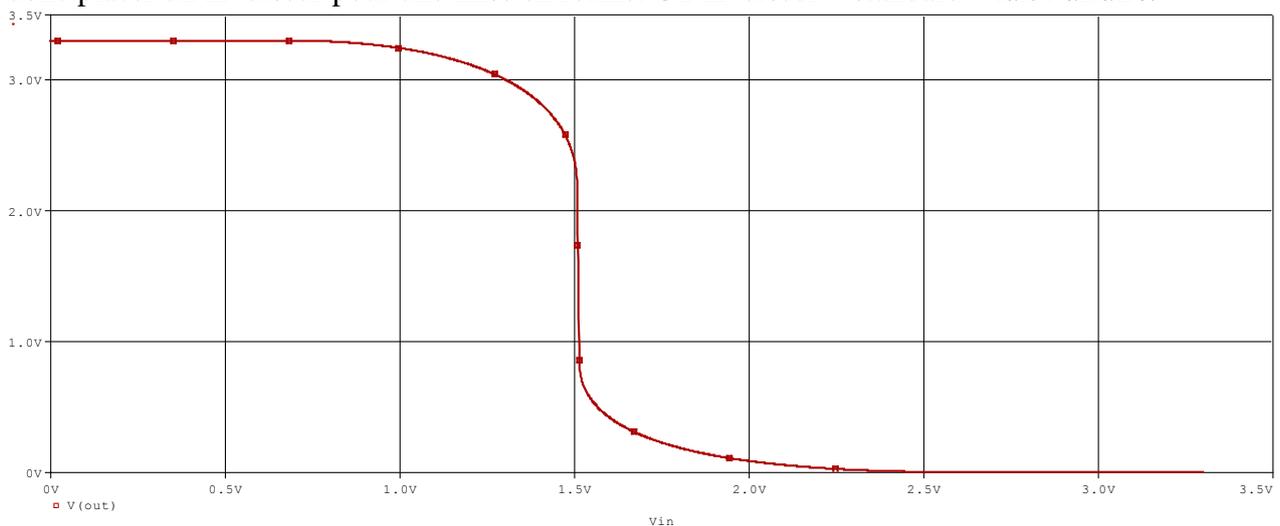
Interprétation :

Approximons le premier dépassement, en mesurant sur une courbe moyenne estimée : $1,69 - 1,65 = 0,04$. Ce qui, devant $\Delta U_{SD} \approx 200 \text{ mV}$, représente 20 %. Il est difficile de chiffrer $\pm 5 \%$ de la valeur finale devant un signal aussi variable, mais il est clair qu'après $2,6 \mu\text{s}$, la courbe est stabilisée.

Remarque :

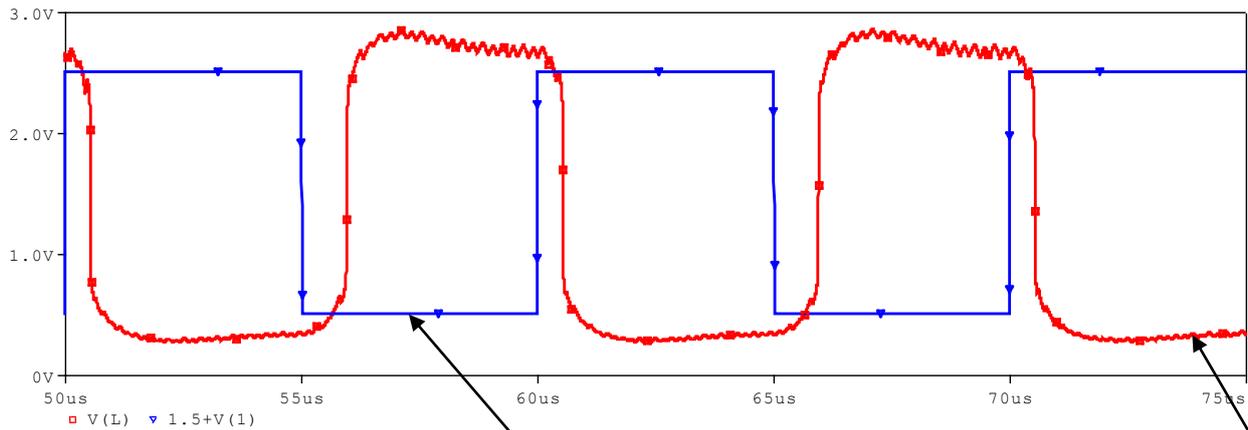
Sur ces courbes, on peut néanmoins être très satisfait de la similitude entre l'étude simplifiée établie par des schémas fonctionnels qui modélisent le fonctionnement de la démodulation de fréquence par PLL en automatique linéaire continue, et la simulation électrique Pspice qui « descend » au niveau transistor.

Le modulant est un signal carré, image d'un signal logique. Le démodulé doit être également logique. Il faut donc placer un inverseur pour une mise en forme. Un inverseur « standard » fait l'affaire.



Caractéristique statique de l'inverseur INVC MOS.
Il sépare les « 0 » et « 1 » à 1,5 V.

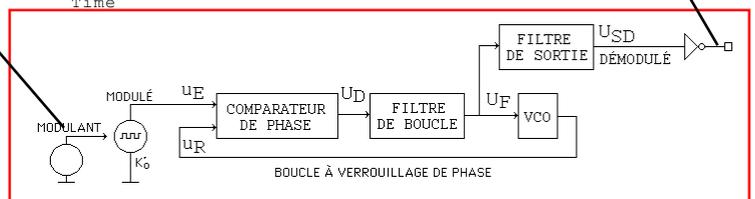
La simulation du montage complet se résume en ces 2 signaux : modulant et démodulé :



Modulant et démodulé

Interprétation :

La mise en forme par INVCMOS est effective : les niveaux haut et bas sont voisins de 0 V et 3,3V. Mais elle n'est pas parfaite : il faudrait un autre inverseur en série pour améliorer les niveaux et les transitions (impossible de placer avec la version d'évaluation de Pspice limitée à 20 transistors, ou alors « bricoler » le schéma).



On peut néanmoins estimer un **temps de traversée de la chaîne modulation-démodulation** : on mesure sur ces chronogrammes 940 ns sur front descendant de V(1) pour obtenir un front montant en sortie, et 545 ns sur front montant de V(1) pour obtenir un front descendant en sortie.

Si on place un autre inverseur qui rétablit le signal dans le bon sens, dont le temps de traversée est environ 60 ps, on peut estimer un temps de traversée moyen proche de **800 ns**.

CONCLUSION

Le montage présenté exploite 20 transistors, ce qui est simulable par la version d'évaluation de Pspice.

Ces pages et d'autres (xor.pdf, vco.pdf) ont permis d'étudier la PLL avec une vue de micro-électronicien (on descend au niveau du transistor MOS), une vue d'automaticien (on étudie la TBO, TBF, du montage modélisé par les schémas blocs), une vue d'électronicien (fonctions modulation de fréquence, démodulation de fréquence, filtrage). C'est dire que cette étude est riche d'enseignements.

J'espère que la lecture –studieuse- de ces pages apportera une aide pour la compréhension de la PLL, chapitre généralement « chaud » dans l'enseignement de l'électronique...

articles 1 à 43 : sur le livre

Tableau récapitulatif des articles PDF disponibles sur ce site

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	présentation	document PDF
44	Exemples basiques et des exercices...	présentation	document PDF
45	Un exemple de circuit passif	présentation	document PDF
46	Un oscillateur Colpitts	présentation	document PDF
47	Compensation en fréquence des amplificateurs opérationnels	présentation	document PDF
48	Un amplificateur à transistors bipolaires	présentation	document PDF
49	Une bascule D Flip Flop CMOS	présentation	document PDF
50	Une porte XOR à transistors MOS	présentation	document PDF
51	Un VCO à 12 transistors MOS	présentation	document PDF
52	Une PLL à moins de 20 transistors MOS	présentation	document PDF
53	Un oscillateur à résistance négative	présentation	document PDF
54	Une charge électronique	présentation	document PDF
55	Un amplificateur en classe C	présentation	document PDF
56	Le monostable 74 123	présentation	document PDF
57	Un amplificateur en classe D	présentation	document PDF
58	Le transformateur en linéaire	présentation	document PDF
59	La loi d'ohm thermique	présentation	document PDF
60	Le transformateur en non linéaire	présentation	document PDF
61	Robustesse d'un oscillateur en anneau	présentation	document PDF
62	Une alimentation stabilisée	présentation	document PDF
63	Modélisation d'un haut-parleur	présentation	document PDF
64	Un synthétiseur de fréquence	présentation	document PDF
65	Un ampli audio de Sparkfun	présentation	document PDF
66	Simulation logique et analogique	présentation	document PDF
67	Un oscillateur à relaxation	présentation	document PDF
68	Lecteur de TAG RFID 125 kHz	présentation	document PDF
69	Diagramme de l'œil avec Pspice	présentation	document PDF
70	Un amplificateur hautes fréquences	présentation	document PDF
71	Une bizarrerie enfin expliquée...	présentation	document PDF
72	Comprendre le paramétrage de la FFT	présentation	document PDF
73	La relation de Bennett	présentation	document PDF
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	présentation	document PDF
75	Une horloge biphase sans recouvrement	présentation	document PDF
76	Quelques simulations sur la diode	présentation	document PDF
77	Un ampli classe A, avec transformateur de sortie	présentation	document PDF
78	Des stimuli pour PSpice	présentation	document PDF
79	Simuler le TL431 : zener ajustable	présentation	document PDF
80	Un ADC flash	présentation	document PDF
81	Une chaîne d'acquisition : S&H, ADC, DAC	présentation	document PDF
82	Un amplificateur 50 MHz	présentation	document PDF
83	Un dérivateur non inverseur	présentation	document PDF
84	Un amplificateur bipolaire avec push pull CMOS	présentation	document PDF
85	Rôle des répéteurs logiques dans un circuit intégré	présentation	document PDF
86	Un driver logique CMOS pour charge 50 ohms	présentation	document PDF
87	Des triggers de Schmitt et des applications	présentation	document PDF
88	Un filtre gaussien analogique	présentation	document PDF
89	Un générateur de bruit rose	présentation	document PDF

90	Un anémomètre à fil chaud : simulation comportementale	présentation	document PDF
91	Un oscillateur à pont de Wien stabilisé par CTN	présentation	document PDF
92	L'emballement thermique d'une diode	présentation	document PDF
93	Les puissances dans un amplificateur	présentation	document PDF
94	Asservissement de puissance dans une résistance	présentation	document PDF
95	Asservissement de la puissance émise par une antenne radio	présentation	document PDF
96	Un driver de LED de puissance	présentation	document PDF
97	Exploiter Pspice pour simuler des filtres numériques	présentation	document PDF
98	Un filtre en cosinus surélevé avec Pspice	présentation	document PDF
99	Effet de la température sur un amplificateur en classe A	présentation	document PDF
100	Un amplificateur à transistors JFET et bipolaires	présentation	document PDF
Supplément, hors article :			
mon cours « Electronique pour les communications numériques », polycopié couleur 201 pages en pdf			

[retour à l'écran d'accueil de ce site](#)