

Tirages de Monte-Carlo pour analyser la robustesse d'un circuit logique vis-à-vis des fluctuations liées à la technologie de fabrication

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet : [page d'accueil](#)

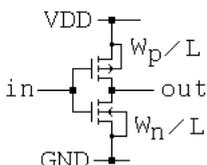
d'autres pdf, sur différents sujets : [liste des PDF](#)

Dès le développement d'un prototype, un concepteur doit s'assurer que le schéma de départ donnera un montage reproductif, c'est à dire réduire les risques de dispersion de caractéristiques lors d'une fabrication en série. Pour ce faire, la simulation est un outil précieux : on peut modifier une valeur numérique d'un composant et analyser la conséquence, et ce, sur autant de composants que l'on veut. A cette fin, PSpice donne un procédé de multiple runs : les tirages de **Monte Carlo**.

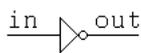
Il est proposé ici d'intervenir sur des **paramètres liés à la technologie**, et non pas sur des valeurs numériques de composants, ou les dimensions. Le circuit qui illustre ce principe est volontairement choisi très simple.

1) Rappelons qu'une porte NON n'est pas un opérateur exact

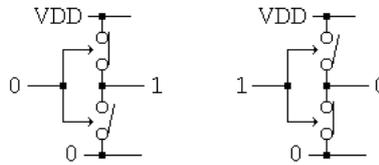
Un inverseur CMOS est réalisé avec un transistor MOS canal P (de dimension W_p, L), et un transistor MOS canal N (de dimension W_n, L), qui lui est complémentaire dans le principe de fonctionnement.



Schéma



Symbole



Principe

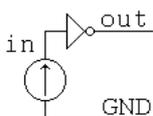
in	out
0	1
1	0

Table de vérité

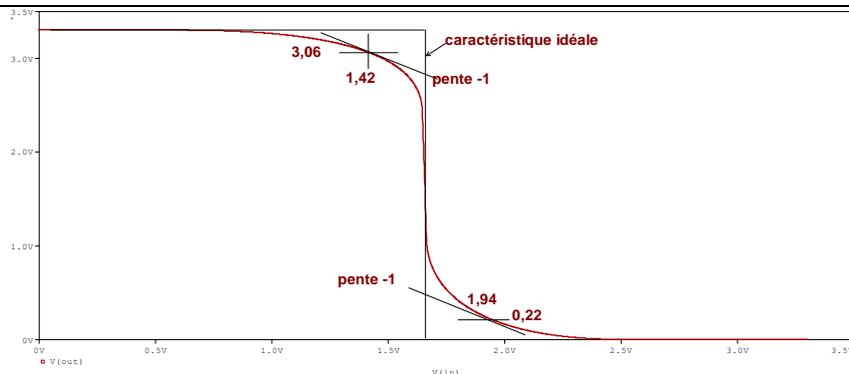
Idéalement, ces tensions appliquées sont telles que les transistors agissent en interrupteur ouvert ou passant, ce qui forme le principe de fonctionnement d'un inverseur, d'où sa table de vérité.

1.a. Comportement en statique avec paramètres nominaux

La caractéristique de transfert statique, $V(out) = f(V(in))$, permet d'analyser plus finement la sortie. Elle est obtenue quand l'entrée, $V(in)$, varie continûment de 0 à 1.



Le schéma simulé



Caractéristique de transfert statique de l'inverseur

Interprétation

Il a été ajouté la caractéristique idéale sur le tracé. La caractéristique vraie s'en éloigne quelque peu.

On repère, sur la caractéristique, les points où $\frac{dV(out)}{dV(in)} = -1$ (obtenus par un autre tracé non montré ici).

Entre ces 2 points, ici dans [1,42 V ; 1,94 V], soit 0,52 V, la valeur absolue du coefficient d'amplification étant supérieur à 1, un bruit additif à l'entrée est amplifié. Cette zone, appelée **zone d'incertitude** ou parfois même zone interdite, doit être la plus étroite possible.

Réciproquement, à l'extérieur de ces points, une fluctuation en entrée est atténuée en sortie.

On définit : la marge bruit à l'état bas par [0 V ; 1,42 V], soit 1,42 V,

et : la marge de bruit à l'état haut par [1,94 V ; 3,3 V], soit 1,36 V.

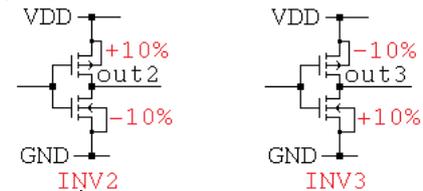
Idealement, la caractéristique est symétrique, et les marges de bruit sont égales.

1.b. Comportement en statique avec le paramètre K_P modifié

L'annexe 1 donne un modèle simplifié du transistor MOS, qui montre que le courant Drain dépend de 3 paramètres K_P , V_T , et λ . Intéressons-nous aux 2 fondamentaux: K_P , V_T liés au semi-conducteur.

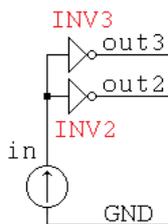
Vérifions sur cette caractéristique statique, la conséquence d'une fluctuation de la valeur numérique de K_P .

Choisissons une modification de $\pm 10\%$ sur K_P des transistors NMOS et PMOS comme indiqué ci-contre.

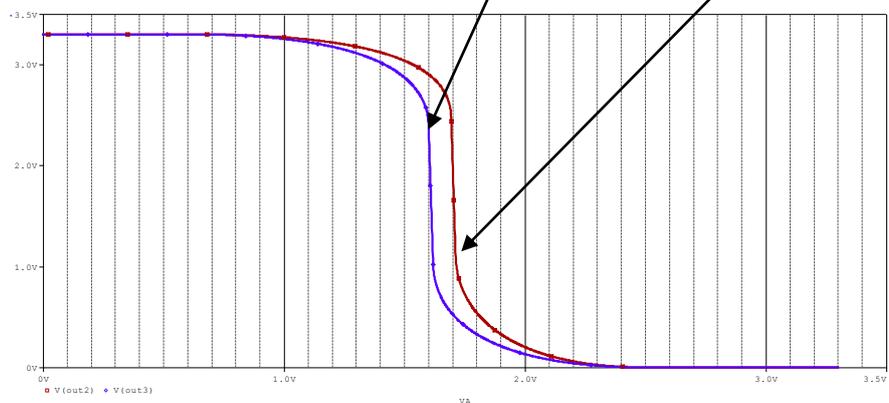


Modification de K_P sur 2 inverseurs

Plaçons 2 inverseurs ayant la même entrée, et observons les sorties respectives :



Le schéma simulé



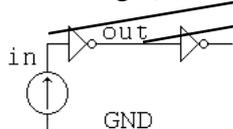
Modification de la caractéristique de transfert statique selon les K_P des transistors

Interprétation

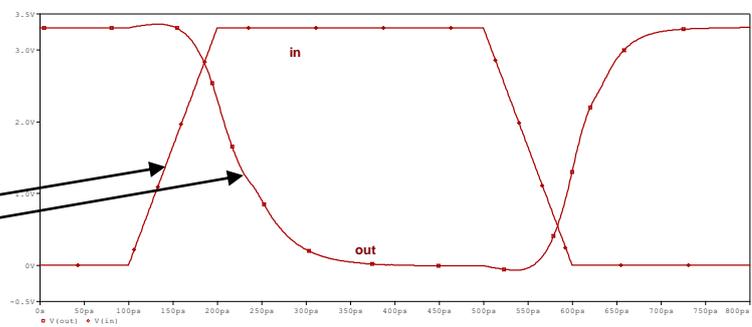
Le résultat de la simulation montre que la caractéristique de transfert statique se déplace, ici de 0,5 V. La conséquence directe de ce déséquilibre des valeurs de K_P sera une modification des marges de bruit.

1.c. Comportement en dynamique avec paramètres nominaux

Effectuons maintenant une analyse temporelle : le signal d'entrée sur l'inverseur est une rampe de tension qui évolue entre 0 V et 3,3 V durant 100 ps (représentative d'une transition dans cette technologie).



Le schéma simulé

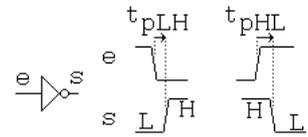


Réponse de l'inverseur à un signal d'entrée variable dans le temps entre 0 et 1.

À cette échelle de temps, on observe finement le changement de la tension de sortie. Contrairement à la caractéristique de transfert statique, pour la même tension d'entrée, on ne passe pas par les mêmes tensions de sortie. Les capacités internes au sein des transistors (qui se chargent ou déchargent) expliquent cela. L'inverseur analysé pilote un autre inverseur qui apporte C_{GS} , C_{GD} de ses transistors.

En idéalisant la réponse temporelle d'un inverseur logique attaqué par un signal évoluant entre 0 et 1, on peut définir :

- t_{pLH} , temps de propagation de la transition donnant Low High en sortie,
- t_{pHL} , temps de propagation de la transition donnant High Low en sortie.



On déduit alors un temps de traversée moyen (ou temps de propagation) par

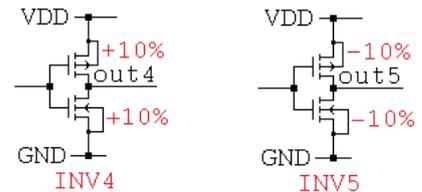
$$t_p = \frac{t_{pLH} + t_{pHL}}{2}$$

Remarquons que les concepteurs de portes logiques cherchent également la symétrie dynamique, c'est-à-dire $t_{pHL} = t_{pLH}$, ce qui amène à dimensionner les transistors de façon optimum.

1.d. Comportement en dynamique avec le paramètre V_T modifié

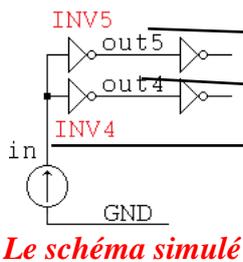
Vérifions sur cette réponse temporelle, la conséquence d'une fluctuation de la valeur numérique de V_T .

Choisissons une modification de $\pm 10\%$ sur V_T des transistors NMOS et PMOS comme indiqué ci-contre.

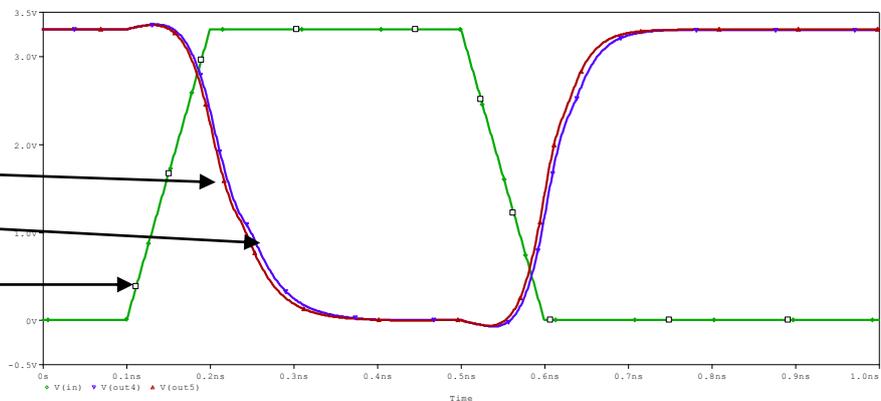


Modification de V_T sur 2 inverseurs

Plaçons 2 inverseurs ayant la même entrée, et observons les sorties respectives :



Le schéma simulé



Réponse temporelle de l'inverseur modifiée selon V_T des transistors.

Interprétation

On observe que si V_T diminue sur les 2 transistors formant l'inverseur, alors cet inverseur est plus rapide. Cela s'explique facilement car les transistors entre en conduction dès que $V_{GS} > V_T$. Donc l'inverseur équipé de transistors à faible V_T sera le premier à commuter sur la rampe.

En **conclusion**, on a pu mettre en évidence, sur un simple inverseur, en ne modifiant que 2 paramètres, un changement de la zone d'incertitude d'une part, et une modification du temps de traversée d'autre part.

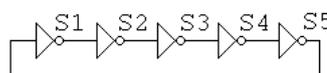
Dans une fonction logique complexe, les informations traversent des millions de portes : on peut se poser la question sur la conséquence d'une fluctuation sur tous les paramètres intervenant dans le fonctionnement des transistors sur le plan de temps de réponse de cette fonction logique.

Pour illustrer cela, on se propose d'analyser un montage simple : un oscillateur en anneau.

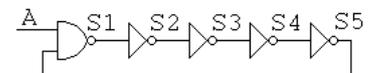
2) Un circuit test pour mesurer le temps de réponse d'opérateurs logiques

2.1. Principe et fonctionnement

Un oscillateur en anneau est formé d'une chaîne rebouclée d'un nombre **impair** d'inverseurs.



Oscillateur à 5 inverseurs

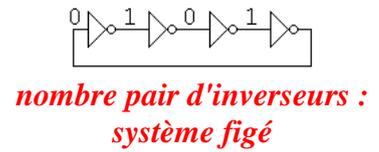


Avec entrée de commande

La période T d'une telle structure de N inversions est $T = N t_{pLH} + N t_{pHL}$.

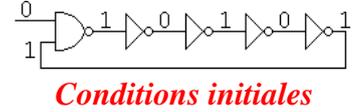
On déduit $T = 2 N t_p$ et donc la fréquence d'oscillation : $f = \frac{1}{2 N t_p}$

Remarquons que si le nombre d'inversions est pair, alors le montage conserve un état statique en permanence, c'est-à-dire 0 1 0 1 pour 4 inverseurs (ou 1 0 1 0, selon les conditions initiales lors de la mise sous tension), et n'oscille pas.



L'entrée de commande permet de lancer l'oscillation : en effet, sans cette entrée, l'oscillateur démarre de façon indéterminée, selon le bruit ambiant, les conditions initiales (la mise sous tension). C'est donc non reproductif. Il est plus pratique de disposer d'une entrée logique.

On lance l'oscillation en modifiant l'état de A. Au début, l'entrée A est à 0, ce qui signifie que la porte NAND est forcée à 1 en sortie, et tous les potentiels sont figés.



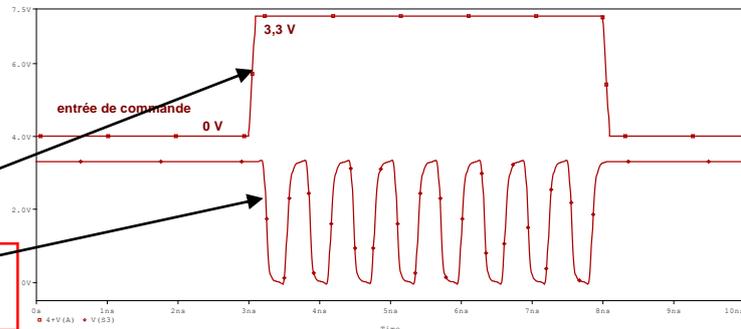
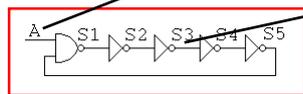
Puis quand l'entrée A passe à 1, la porte NAND se comporte comme un inverseur entre sa sortie et l'autre entrée, (donnant ainsi un nombre impair d'inversions dans la boucle), délivre alors 0 en sortie, et l'oscillateur démarre.

Remarquons également que cela permet de moins consommer quand on n'a pas besoin de l'oscillateur.

2.2. Simulations avec des transistors nominaux

La simulation électrique Pspice permet de prédéterminer le fonctionnement de l'oscillateur en anneau.

On visualise ci-contre un potentiel « au milieu » de l'oscillateur.



L'oscillateur présente une forme d'onde périodique

Ce chronogramme montre que lorsque l'entrée de commande (potentiel en A) passe au niveau 1 logique, alors les potentiels en chaque nœud de la boucle oscillent entre le niveau 0 et 1 (ici est représenté S3).

Une lecture fine de ce chronogramme a donné (pour 5 inverseurs) une période de 615 ps, et ce après quelques périodes. On déduit un temps de traversée $t_p = 61,5$ ps.

En soit, l'oscillateur en anneau n'est pas un montage intéressant. Mais il est exploité, avec un nombre important d'inverseurs (33 est un exemple) pour mesurer, simplement, mais indirectement, le temps de traversée d'un inverseur. D'ailleurs, plusieurs oscillateurs en anneau peuvent être intégrés dans certains circuits complexes pour pouvoir évaluer les performances en sortie de fabrication, par le fondeur. Cela forme un "pattern" de test. Un des atouts de l'oscillateur en anneau est le fait qu'il permet de déduire les performances d'une technologie. C'est ce que nous allons développer maintenant

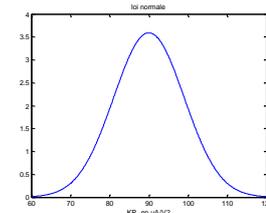
3) L'incertitude des valeurs des paramètres est identifiée par les fondeurs

Supposons que le constructeur de circuit intégré délivre l'information suivante : son process de fabrication est tel que les paramètres intervenant dans ses transistors ont une loi de distribution qui suit une **loi normale**, dont il donne moyenne et écart type.

On peut, avec Pspice, faire une multitude de simulations en choisissant au hasard des valeurs aux paramètres respectant cette loi de probabilité, et ce sur tous les transistors.

Nous allons voir la conséquence de ces fluctuations sur la période d'un oscillateur en anneau.

Exemple de loi de distribution du paramètre K_p du transistor NMOS :



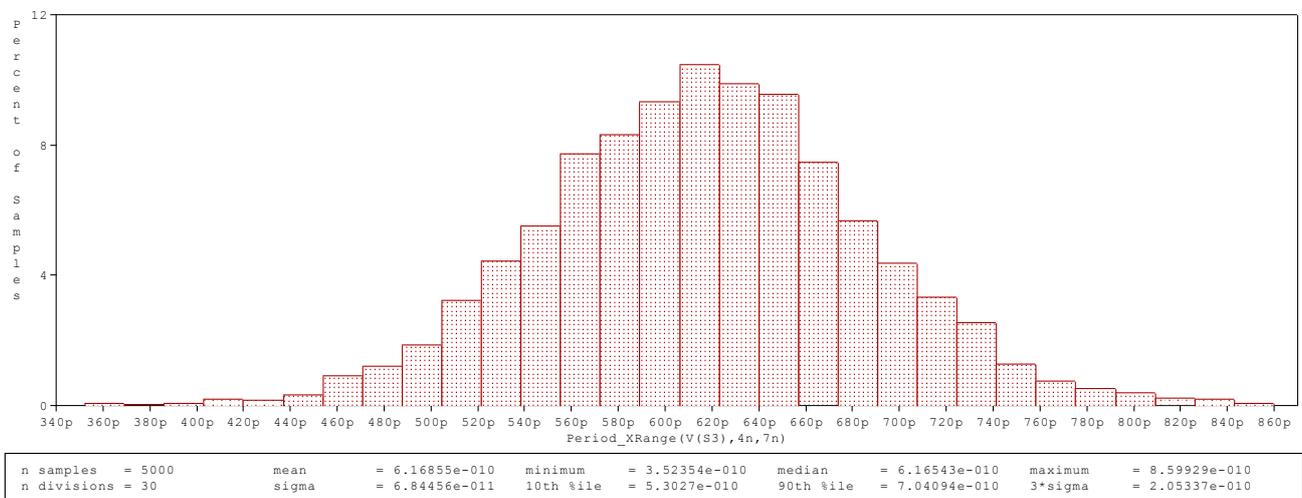
Valeur moyenne : 90, écart type : 10 %

4) Robustesse de l'oscillateur en anneau

La conclusion donnée au paragraphe 1 permet de dire qu'il existe une incertitude sur t_p , et donc sur la **période** si on change un paramètre intervenant dans le fonctionnement des transistors. Donc, sur un montage réel, il est impossible de prévoir avec précision la fréquence de l'oscillateur en anneau.

Néanmoins, on peut prédéterminer, par la simulation, l'étendue possible de la période, grâce à des simulations exploitant des tirages de Monte Carlo (voir annexe 2). Chaque simulation possède un jeu de paramètres différent. Nous avons fait intervenir tous les paramètres intervenant dans le modèle (level 1)..

Il faut un nombre très élevé pour pouvoir extraire des grandeurs d'ensemble significatives (comme typiquement moyenne et écart type). Mais chaque run nécessite des ressources machine (temps de simulation et espace disque pour stocker les résultats). On ne peut donc pas faire un nombre de runs inconsidéré. Donc quelques centaines à quelques milliers est un compromis. Dans notre étude, avec un montage à 12 transistors, on s'est fixé 5000 tirages :



Les résultats des 5000 simulations

(menu Performance Analysis puis, Tools options probe setting)

Interprétation, comment lire ce graphe :

les 5000 runs sont présentés en 30 tranches.

Chaque tranche a une largeur de $(860 \text{ ps} - 345 \text{ ps}) / 30 \approx 17 \text{ ps}$.

Par exemple, la tranche placée vers 620 ps représente 10,4 %, soit 520 tirages.

De même, la tranche placée à 410 ps représente 0,18 % soit 9 tirages.

Cela signifie que si on fabriquait 5000 oscillateurs en anneau indépendants dans cette technologie,

520 auraient une **période** dans [606 ps ; 623 ps],

9 auraient une **période** dans [403 ps ; 417 ps]

etc.

La période fluctue si on modifie les paramètres. C'était prévisible d'après les simulations précédentes.

On remarque de plus que la loi obtenue semble suivre une loi normale. Or, si un nombre important de phénomènes indépendants ont des lois quelconques, alors une combinaison de toutes ces lois converge vers une loi normale. De plus, dans notre cas, nous avons simulé avec tous les paramètres définis avec une loi normale. C'est donc une fonction que l'on retrouve à "haute dose", et qui se voit sur le résultat de Monte Carlo.

On peut lire : **moyenne : 617 ps**

écart type : 68,4 ps

Remarque intéressante : usuellement l'électronicien privilégie la **fréquence** pour caractériser un oscillateur. Il serait plus cohérent de donner la robustesse de la fréquence d'oscillation, vis-à-vis des paramètres technologiques. Mais là, on quitte la loi gaussienne. En effet, par la relation $f = 1/T$, on observe une "distorsion" de la loi normale :

Comment lire ces graphes :

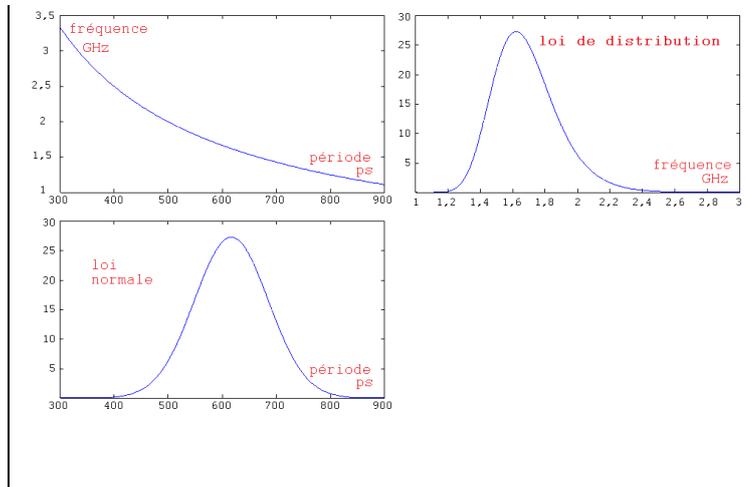
- On part de la fonction loi normale placée

$$f(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{1}{2}\left(\frac{x-m}{\sigma}\right)^2},$$

avec $m = 617 \text{ ps}$ et $\sigma = 68,4 \text{ ps}$,

- on traverse la fonction $f = 1/T$ en haut à gauche,

- et on construit ainsi, point par point, la fonction résultante, en haut à droite.

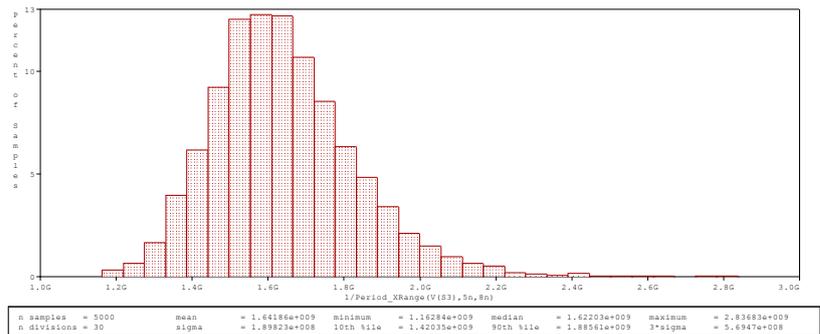


On retrouve une allure de "cloche", mais on a perdu la symétrie, d'autant plus que la dispersion en période est importante.

Pour information, la même simulation donne la distribution ci-contre des fréquences :

On vérifie que la loi de distribution n'est plus une loi normale gaussienne.

La moyenne est de 1,642 GHz, différente de la valeur médiane 1,622 GHz (ce qui confirme que la répartition n'est pas symétrique).



Conclusion

En **conclusion**, ce schéma très simple permet d'obtenir un oscillateur dont les caractéristiques, à température ambiante, sont, d'après l'outil de simulation :

- période moyenne : $T_0 = 617 \text{ ps}$, confondue avec la valeur médiane.
- écart type de période : $\Delta T = 68,4 \text{ ps}$.

Il est évident, comme montage délivrant une fréquence, que cet oscillateur en anneau n'est pas performant, car la précision sur la fréquence d'oscillation de ce type de montage est très médiocre. (11,2% d'écart type sur la période). Rappelons qu'on a limité les tirages de Monte Carlo à des paramètres liés à la physique du semi-conducteur, et ce sur un modèle de transistor niveau 1. On n'a pas mentionné l'influence de variation du dimensionnement, de la température, de la tension d'alimentation...

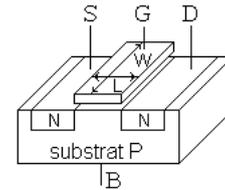
Ce montage redevient intéressant par son évolution vers un oscillateur commandé en tension en modifiant la polarisation des transistors par ajout d'un transistor (ou deux) par inverseur.

ANNEXE 1 : MODÉLISATION SIMPLIFIÉE DU TRANSISTOR MOS

Le transistor MOS dispose de 4 électrodes :

- Source (S), Drain (D),
- Grille (G), substrat (B, pour Bulk en anglais)

L est la longueur, W la largeur, dans le sens Drain Source



Constitution d'un MOS canal N.

Principe simplifié, pour le transistor à canal N :

Le substrat est porté par un potentiel = 0 V. Un potentiel est placé en Grille. Si ce potentiel est supérieur à une tension de seuil V_T (Treshold), il se crée sous la grille un canal de type N permettant ainsi un passage de courant entre Drain et Source. Ce courant Drain Source dépend du potentiels des 4 électrodes. Usuellement le potentiel de substrat est fixe, et la grille est une tension de commande.

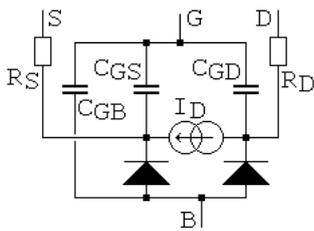
Le composant est symétrique. Ce sont les tensions de polarisation qui définissent le fonctionnement.

I_D , le courant Drain Source, est une fonction complexe de V_{GS} , V_{DS} . Un schéma équivalent est une source de courant commandée par des tensions.

La Source est formée d'un semi-conducteur qui présente, le long du matériau, une chute de tension. De même pour le Drain. On peut idéaliser ce phénomène par des résistances d'accès R_S et R_D .

La grille, électriquement isolée, présente une surface en regard des 3 autres électrodes. Un schéma équivalent de ce phénomène peut être 3 condensateurs.

La constitution du transistor montre aussi 2 jonctions PN.



Modèle simplifié

$$\begin{aligned}
 V_{GS} < V_T & : & I_D &= 0 \\
 V_{DS} < V_{GS} - V_T & : & I_D &= \frac{K_P}{2} \frac{W}{L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \\
 V_{DS} > V_{GS} - V_T & : & I_D &= \frac{K_P}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})
 \end{aligned}$$

Équations simplifiées

- K_P est le paramètre principal du transistor MOS, lié à la physique du composant.
- V_T est également issue d'équations faisant appel aussi à la physique du semi-conducteur.
- λ est un correctif indiquant une variation de longueur du canal en fonction de la tension V_{DS} .
- Les résistances, condensateurs, ont des valeurs liées aux courants, tensions température.
- Les diodes présentées ont également en interne des capacités, etc.

Notons qu'il existe des modèles bien plus complets que celui présenté.

ANNEXE 2 : TIRAGE DE MONTE CARLO en simulation électrique

Tous les paramètres intervenant dans le modèle des transistors sont donnés avec une valeur typique et une loi de distribution, comme, par exemple dans l'étude menée, une loi normale gaussienne. Chaque paramètre est donc connu par sa valeur moyenne (valeur typique) et son écart type. Ces renseignements sont fournis, sous forme de fichier, par les constructeurs des composants, ou, pour le cas d'un circuit intégré, par le "fondeur". Certains paramètres sont liés.

La méthode de simulation de Monte-Carlo (en référence aux jeux de hasard connus dans cette ville) consiste à effectuer un nombre très important de simulations, chacune d'entre elles ayant un nouveau jeu de valeurs numériques pris aléatoirement pour tous les paramètres concernés, en respectant les lois de distribution. Après ces simulations, on observe sur telle ou telle grandeur la fonction de distribution résultante obtenue. On en déduit la robustesse du circuit analysé, vis-à-vis des dispersions possibles de paramètres données par le constructeur de chaque composant.

ANNEXE 3 : Netlist

<pre>. inverseur * fichier inverseur.cir .model MODN nmos (Level=1 Kp=90u Vto=0.6 Cgdo=.3n Cgso=2.8n lambda=0.02) .model MODP pmos (Level=1 Kp=25u Vto=-0.8 Cgdo=.3n Cgso=2.8n lambda=0.04) .model MODN_Kp+ nmos (Level=1 Kp=99u Vto=0.6 Cgdo=.3n Cgso=2.8n lambda=0.02) .model MODP_Kp+ pmos (Level=1 Kp=27.5u Vto=-0.8 Cgdo=.3n Cgso=2.8n lambda=0.04) .model MODN_Kp- nmos (Level=1 Kp=81u Vto=0.6 Cgdo=.3n Cgso=2.8n lambda=0.02) .model MODP_Kp- pmos (Level=1 Kp=22.5u Vto=-0.8 Cgdo=.3n Cgso=2.8n lambda=0.04) .model MODN_VT+ nmos (Level=1 Kp=90u Vto=0.66 Cgdo=.3n Cgso=2.8n lambda=0.02) .model MODP_VT+ pmos (Level=1 Kp=25u Vto=-0.88 Cgdo=.3n Cgso=2.8n lambda=0.04) .model MODN_VT- nmos (Level=1 Kp=90u Vto=0.54 Cgdo=.3n Cgso=2.8n lambda=0.02) .model MODP_VT- pmos (Level=1 Kp=25u Vto=-0.72 Cgdo=.3n Cgso=2.8n lambda=0.04)</pre>	
<pre>* sous-circuits : .subckt INV in out vdd ; INV nominal Mp out in vdd vdd MODP W=5.5u L=0.35u Mn out in 0 0 MODN W=1u L=0.35u .ends .subckt INV2 in out vdd ; INV Mp out in vdd vdd MODP_Kp+ W=5.5u L=0.35u Mn out in 0 0 MODN_Kp- W=1u L=0.35u .ends .subckt INV3 in out vdd ; INV Mp out in vdd vdd MODP_Kp- W=5.5u L=0.35u Mn out in 0 0 MODN_Kp+ W=1u L=0.35u .ends .subckt INV4 in out vdd ; INV Mp out in vdd vdd MODP_VT+ W=5.5u L=0.35u Mn out in 0 0 MODN_VT+ W=1u L=0.35u .ends .subckt INV5 in out vdd ; INV Mp out in vdd vdd MODP_VT- W=5.5u L=0.35u Mn out in 0 0 MODN_VT- W=1u L=0.35u .ends</pre>	<pre>* circuit Vdd vdd 0 dc 3.3 ; alim VA in 0 pulse (0 3.3 0.1n 0.1n 0.1n 0.3n 10n) DC 0 Xinv1 in out vdd INV ; nominal Xinv11 out S11 vdd INV * pour observer l'influence de Kp Xinv2 in out2 vdd INV2 ; Kp+ ; Kp- Xinv3 in out3 vdd INV3 ; Kp- ; Kp+ * pour observer l'influence de VT Xinv4 in out4 vdd INV4 ; VT+ ; VT+ Xinv44 out4 S44 vdd INV4 Xinv5 in out5 vdd INV5 ; VT- ; VT- Xinv55 out5 S55 vdd INV5 .DC VA 0 3.3 1m *.TRAN 1p 1n 0n 1p .PROBE .END</pre>

Netlist, prête à simuler

<pre>oscillateur en anneau * fichier oscillateur.cir .model MODN nmos (Level=1 Kp=90u DEV/GAUSS=10% Vto=0.6 DEV/GAUSS=10% + Cgdo=.3n DEV/GAUSS=40% Cgso=2.8n DEV/GAUSS=40% lambda=0.02 DEV/GAUSS=10%) .model MODP pmos (Level=1 Kp=25u DEV/GAUSS=10% Vto=-0.8 DEV/GAUSS=10% + Cgdo=.3n DEV/GAUSS=40% Cgso=2.8n DEV/GAUSS=40% lambda=0.04 DEV/GAUSS=10%)</pre>	
<pre>* sous-circuits : .subckt INVCMOS in out vdd ; INV Mp out in vdd vdd MODP W=2.6u L=0.35u Mn out in 0 0 MODN W=1u L=0.35u .ends .subckt NANDCMOS in1 in2 out vdd ; NAND Mp1 out in1 Vdd Vdd MODP W=2.6u L=0.35u ; DGSB Mp2 out in2 Vdd Vdd MODP W=2.6u L=0.35u Mn1 out in1 int 0 MODN W=1u L=0.35u Mn2 int in2 0 0 MODN W=1u L=0.35u .ends</pre>	<pre>* circuit : Vdd vdd 0 dc 3.3 ; alim Xnand A 1 S1 vdd NANDCMOS Xinv1 S1 S2 vdd INVCMOS Xinv2 S2 S3 vdd INVCMOS Xinv3 S3 S4 vdd INVCMOS Xinv4 S4 1 vdd INVCMOS VA A 0 pulse (0 3.3 3n 0.1n 0.1n 4.9n 10n) ; niveau haut .param vdd=3.3 ; valeur par défaut .temp 27 .TRAN 10p 8.5n 0n 10p .MC 5000 TRAN V(1) MAX OUTPUT ALL .OPTION NOECHO NOOUTMSG NOPRBSMSG NOMOD .PROBE .END</pre>

Netlist, prête à simuler

articles 1 à 43 : sur le livre

Tableau récapitulatif des articles PDF disponibles sur ce site

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	présentation	document PDF
44	Exemples basiques et des exercices...	présentation	document PDF
45	Un exemple de circuit passif	présentation	document PDF
46	Un oscillateur Colpitts	présentation	document PDF
47	Compensation en fréquence des amplificateurs opérationnels	présentation	document PDF
48	Un amplificateur à transistors bipolaires	présentation	document PDF
49	Une bascule D Flip Flop CMOS	présentation	document PDF
50	Une porte XOR à transistors MOS	présentation	document PDF
51	Un VCO à 12 transistors MOS	présentation	document PDF
52	Une PLL à moins de 20 transistors MOS	présentation	document PDF
53	Un oscillateur à résistance négative	présentation	document PDF
54	Une charge électronique	présentation	document PDF
55	Un amplificateur en classe C	présentation	document PDF
56	Le monostable 74 123	présentation	document PDF
57	Un amplificateur en classe D	présentation	document PDF
58	Le transformateur en linéaire	présentation	document PDF
59	La loi d'ohm thermique	présentation	document PDF
60	Le transformateur en non linéaire	présentation	document PDF
61	Robustesse d'un oscillateur en anneau	présentation	document PDF
62	Une alimentation stabilisée	présentation	document PDF
63	Modélisation d'un haut-parleur	présentation	document PDF
64	Un synthétiseur de fréquence	présentation	document PDF
65	Un ampli audio de Sparkfun	présentation	document PDF
66	Simulation logique et analogique	présentation	document PDF
67	Un oscillateur à relaxation	présentation	document PDF
68	Lecteur de TAG RFID 125 kHz	présentation	document PDF
69	Diagramme de l'œil avec Pspice	présentation	document PDF
70	Un amplificateur hautes fréquences	présentation	document PDF
71	Une bizarrerie enfin expliquée...	présentation	document PDF
72	Comprendre le paramétrage de la FFT	présentation	document PDF
73	La relation de Bennett	présentation	document PDF
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	présentation	document PDF
75	Une horloge biphasé sans recouvrement	présentation	document PDF
76	Quelques simulations sur la diode	présentation	document PDF
77	Un ampli classe A, avec transformateur de sortie	présentation	document PDF
78	Des stimuli pour PSpice	présentation	document PDF
79	Simuler le TL431 : zener ajustable	présentation	document PDF
80	Un ADC flash	présentation	document PDF
81	Une chaîne d'acquisition : S&H, ADC, DAC	présentation	document PDF
82	Un amplificateur 50 MHz	présentation	document PDF
83	Un dérivateur non inverseur	présentation	document PDF
84	Un amplificateur bipolaire avec push pull CMOS	présentation	document PDF
85	Rôle des répéteurs logiques dans un circuit intégré	présentation	document PDF
86	Un driver logique CMOS pour charge 50 ohms	présentation	document PDF
87	Des triggers de Schmitt et des applications	présentation	document PDF
88	Un filtre gaussien analogique	présentation	document PDF
89	Un générateur de bruit rose	présentation	document PDF

90	Un anémomètre à fil chaud : simulation comportementale	présentation	document PDF
91	Un oscillateur à pont de Wien stabilisé par CTN	présentation	document PDF
92	L'emballement thermique d'une diode	présentation	document PDF
93	Les puissances dans un amplificateur	présentation	document PDF
94	Asservissement de puissance dans une résistance	présentation	document PDF
95	Asservissement de la puissance émise par une antenne radio	présentation	document PDF
96	Un driver de LED de puissance	présentation	document PDF
97	Exploiter Pspice pour simuler des filtres numériques	présentation	document PDF
98	Un filtre en cosinus surélevé avec Pspice	présentation	document PDF
99	Effet de la température sur un amplificateur en classe A	présentation	document PDF
100	Un amplificateur à transistors JFET et bipolaires	présentation	document PDF
Supplément, hors article :			
mon cours « Electronique pour les communications numériques », polycopié couleur 201 pages en pdf			

[retour à l'écran d'accueil de ce site](#)