

## La simulation de circuits logiques avec Pspice

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet :

[page d'accueil](#)

d'autres pdf, sur différents sujets :

[liste des PDF](#)

Pspice est à l'origine un simulateur électrique, qui, lors des analyses temporelles, résout les équations différentielles obéissant aux lois des mailles, des nœuds, de circuits analogiques. Cet article explique, avec l'exploitation du même noyau de calcul, le procédé utilisé pour simuler des opérateurs logiques.

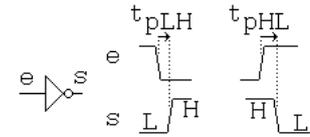
### Introduction

Rappelons que Pspice est un simulateur qui résout les équations gérant les circuits électriques, constitués de composants tels que R, L, C, sources de courant, sources de tension. Si on analyse un schéma contenant des semi conducteurs, amplificateurs opérationnels, etc, ces derniers sont remplacés par des modèles, formés également de R, L, C, sources de courant, sources de tension.

Or, il existe, dans la bibliothèque de base, des sources logiques (stimuli), ainsi que des bibliothèques contenant des opérateurs logiques (portes ou circuits plus complexes), appartenant à des familles technologiques. Mais comment fait Pspice pour simuler des schémas montrant des opérateurs logiques ?

**Rappel 1** : en idéalisant la réponse temporelle d'un opérateur logique attaqué par un signal évoluant entre 0 et 1, on peut définir :

- $t_{pLH}$ , temps de propagation de la transition donnant Low High en sortie,
- $t_{pHL}$ , temps de propagation de la transition donnant High Low en sortie.



Pspice utilise le vocabulaire « **delay** » pour ces temps de traversée.

**Rappel 2** : la représentation des niveaux logiques est :

Etats logiques : 0 1

**Z** : haute impédance, le potentiel à cet état Z est déconnecté de tout.

**X** : inconnu : les informations des entrées sont insuffisantes pour déterminer la sortie.

On définit aussi : **R** (rise, front montant)

**F** : (fall, front descendant)

qui sont définis comme étant des phases de passage d'un état logique à son complément, durant lesquelles le signal est dans une plage d'indétermination.

Nous allons voir que les opérateurs logiques font appel à des modèles qui combinent :

- la fonction logique à proprement parler (table de vérité), que l'on peut appeler **primitive**, défini en bibliothèque par un sous-circuit. Elle est reconnaissable par la lettre U qui représente l'opérateur logique (source, OU, ET, NON, DFF, ...) qui manipule les niveaux logiques,
- un modèle de technologie (TTL, MOS, ECL...) qui manipule des **délais** de propagation,
- s'il y a une connexion avec le monde analogique, Pspice intercale des **circuits d'interface**.

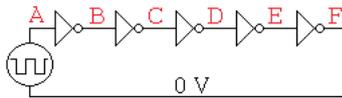
La finesse de ces modèles permet de représenter des cas proches de la réalité (zone d'incertitude, conflit si 2 sorties sont connectées entre elles, sortie haute impédance...).

Tout ceci est transparent à l'utilisateur de Pspice : un opérateur logique est défini en bibliothèque par un sous-circuit qui englobe tous ces étages.

Nous allons présenter un cas simple : 5 inverseurs en série, et intéressons-nous à l'aspect dynamique.

### 1) Simulation logique uniquement

Le schéma à simuler est :



Le stimulus est une horloge parfaite : 50 ns à l'état haut, 50 ns à l'état bas, et commençant à 10 ns.

C'est une primitive logique, et sa première lettre est U.

Pour des raisons de disponibilité dans la librairie d'installation, on choisit la famille CMOS 74AC.

Dans cette famille, l'inverseur est le 74AC04.

```

Netliste "prête à simuler"
chaîne de 5 inverseurs
* fichier essai_inverseurs.cir
.lib nomd.lib
.option DIGMNTYMX=1 ; remplace delai du .subckt 74AC04

* circuit :
Uclk STIM( 1, 1 ) $G_DPWR $G_DGND A IO_STM
+ 0s 0 +10n 1 ; à t=0 on force 0, 10ns plus tard on passe à 1
+ REPEAT FOREVER +50ns 0 +50ns 1 ENDREPEAT ; clk 10 MHz

X_inv1 A B $G_DPWR $G_DGND 74AC04
X_inv2 B C $G_DPWR $G_DGND 74AC04
X_inv3 C D $G_DPWR $G_DGND 74AC04
X_inv4 D E $G_DPWR $G_DGND 74AC04
X_inv5 E F $G_DPWR $G_DGND 74AC04

.TRAN 1p 120n 0 1p
.probe
.END

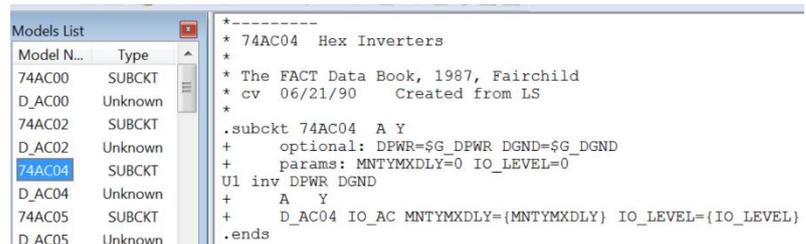
```

Explications :

Comme indiqué précédemment, pour la simulation logique uniquement, Pspice a besoin de 2 informations : la table de vérité de chaque primitive, et des délais associés à la technologie. Pour un inverseur, il s'agit respectivement du sous circuit 74AC04, et du fichier D\_AC04.

.lib nomd.lib permet de disposer de toutes les librairies qui y figurent, notamment "nom\_dig.lib", qui contient, entre autres, « 74AC.lib ».

En consultant cette 74AC.lib, on voit la constitution de l'inverseur 74AC04 .



Le 74AC04 est défini par un sous-circuit (.subckt), qui dispose de 2 broches.

La primitive est « inv » : on peut y lire la fonction : Y = inversion de A.

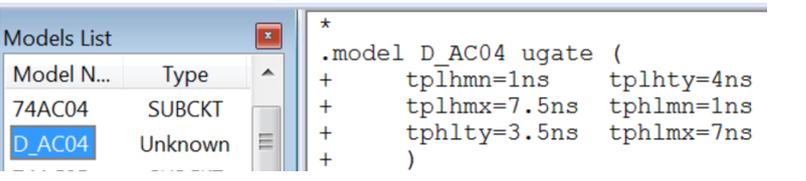
Dans une simulation logique uniquement, les valeurs des tensions d'alimentation sont ignorées.

Le paramètre MNTYMXDLY (min typique max du **dé**lai) peut admettre 4 possibilités :

= 0 : minimal            = 1 : typique            = 2 : maximal            = 3 : min et max

Les temps t<sub>PLH</sub> et t<sub>PHL</sub> de la famille 74AC sont donnés dans D\_AC04 :

Sauf contre ordre, ce sont les temps minimaux de délai qui seront attribués. Or, ces temps sont donnés dans la même librairie 74AC.lib, à la ligne qui suit : D\_AC04.



Il est précisé ici les valeurs min, typiques et max..

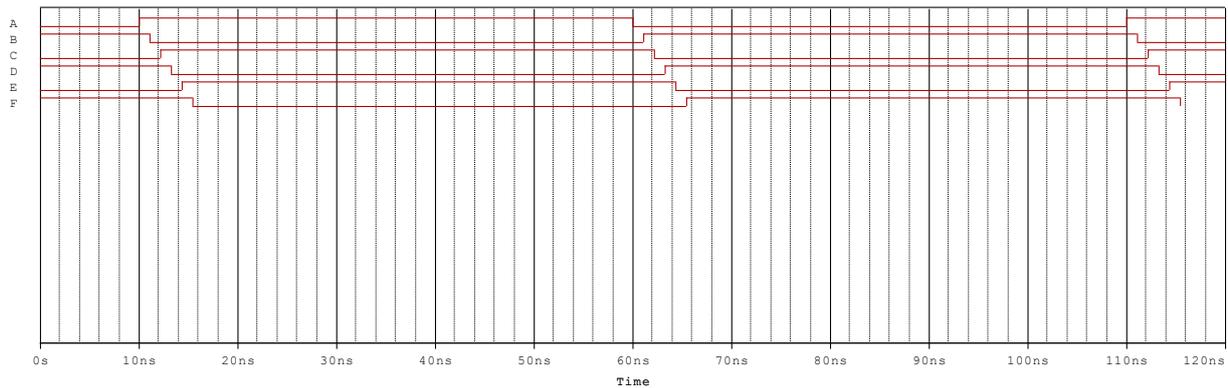
Après simulation, ces délais sont rappelés dans le fichier.out :

On remarque, dans ce modèle de technologie 74\_AC, que la traversée d'un front montant n'a pas la même durée que celle d'un front descendant.

	D_AC04
TPLHMN	1.000000E-09
TPLHTY	4.000000E-09
TPLHMX	7.500000E-09
TPHLMN	1.000000E-09
TPHLTY	3.500000E-09
TPHLMX	7.000000E-09

Vérifions cela, en lançant le run transitoire jusqu'à 120 ns :

### .option DIGMNTYMX=1 (mêmes échelles pour les 4 graphes : 5 sous divisions = 10 ns) :

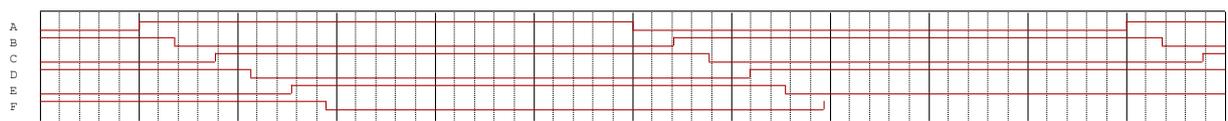


La trace A est l'horloge 10 MHz. Le premier front a lieu à 10 ns, comme précisé dans la définition de Uclk.

Le signal B est son inversion. A cette échelle, on observe clairement un décalage entre A et B : on lit (à la résolution près) des temps  $t_{PHL}$  et  $t_{PLH}$  identiques, valant 1 ns qui est la valeur minimale.

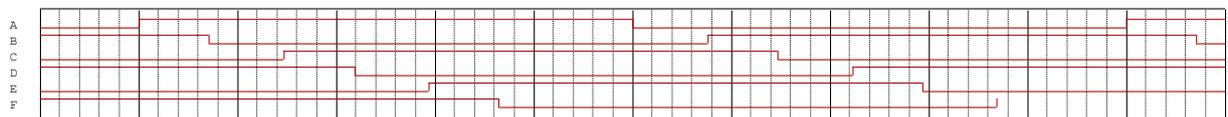
De même, le signal C est l'inversion de B, mais encore décalé de  $t_{PLH}$  et  $t_{PHL}$ . Idem pour D, E, F.

### .option DIGMNTYMX=2 :



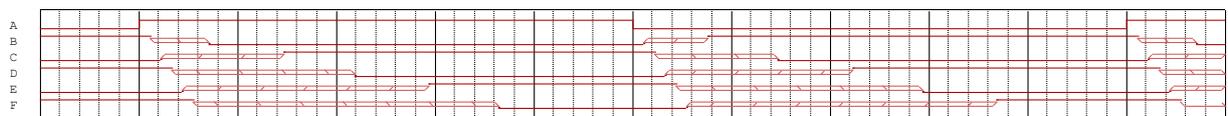
Ici, on lit  $t_{PHL} = 3,5$  ns et  $t_{PLH} = 4$  ns, valeurs typiques. On peut lire également que le front descendant de F est à  $t = 29$  ns, et le montant à 79 ns.

### .option DIGMNTYMX=3 :



Ici, on lit  $t_{PHL} = 7$  ns et  $t_{PLH} = 7,5$  ns, valeurs max.

### .option DIGMNTYMX=4 :



Cette valeur du paramètre DIGMNTYMX permet de traiter tous les cas de délai, en une seule simulation :

- On peut remarquer que la sortie B peut présenter un front descendant entre 1 ns à 7 ns après le front de montant de A. Pspice indique par un double trait cette zone d'incertitude temporelle. Egalement, B peut présenter un front montant entre 1 ns à 7,5 ns après le front descendant de A.

- De même, la sortie C peut monter de 1 ns à 7,5 ns après la descente de B, et descendre entre 1 ns à 7 ns après le front de montant de B. Par cumul, la sortie C peut commuter dans une dynamique allant de 2 ns à 14,5 ns après le front de l'horloge.

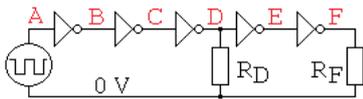
Ce type de simulation, est pratique pour la recherche de chemin critique, d'aléa. En effet, on peut détecter ici la notion de pire cas, de plus en plus visible quand on traverse les couches logiques : à cause d'une combinaison particulière min max de  $t_{PHL}$  et  $t_{PLH}$ , la durée garantie dans un état logique est de plus en plus étroite. Ici 19 ns à l'état bas et 18,5 ns à l'état haut en sortie F.

## 2) Simulation mixte : logique et analogique

C'est un cas fréquent : l'environnement est analogique, et une partie du circuit est purement logique. Le schéma montre donc des composants discrets d'une part et des opérateurs et fonctions logiques d'autre part.

Reprenons notre chaîne de 5 inverseurs, et plaçons une source « analogique » en entrée, une résistance en milieu de chaîne et une autre en fin de chaîne.

Le schéma est :



L'entrée est une source de tension VPULSE : 10 MHz, niveaux allant de 0 à 5 V, de rapport cyclique 50 %, et commençant à 10 ns.

Une résistance de pull down  $R_D$  est placée au nœud D, et une résistance de fin,  $R_F$ , est placée en fin de chaîne. Les valeurs sont choisies volontairement élevées.

### Netliste "prête à simuler"

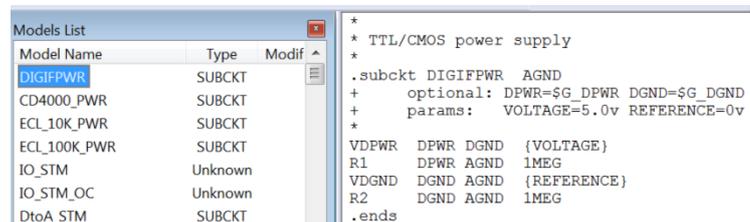
```

chaîne de 5 inverseurs avec analogique
* fichier essai_inverseurs_mixte.cir
.lib nomd.lib
.option
+ DIGMNTYMX=2 ; remplace delai du .subckt 74AC04
+ expand
* circuit :
Vin A 0 pulse ( 5 0 10n 10p 10p 49.99n 100n ) ; signal entrée
X_inv1 A B $G_DPWR $G_DGND 74AC04
X_inv2 B C $G_DPWR $G_DGND 74AC04
X_inv3 C D $G_DPWR $G_DGND 74AC04
X_inv4 D E $G_DPWR $G_DGND 74AC04
RD D 0 100k
X_inv5 E F $G_DPWR $G_DGND 74AC04
RF F 0 100k
.TRAN 1p 120n 0 1p
.probe
.OP
.END
    
```

### Commentaires :

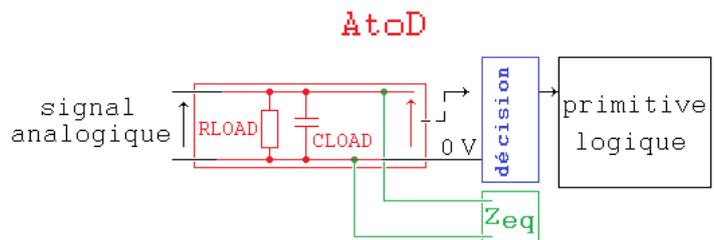
L'alimentation du 74AC04 est connue par le fichier dig\_io.lib :  $\$G\_DPWR = 5\text{ V}$ , et  $\$G\_DGND = 0\text{ V}$ .

Ces valeurs sont maintenant utiles, car les niveaux 0 et 1 et sont respectivement 0 V 5 V.



### Comment Pspice passe de l'analogique à la logique

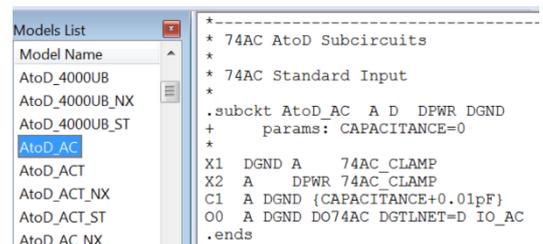
- Quand l'entrée d'un boîtier digital est connectée à un nœud analogique, le simulateur intercale un circuit « AtoD ». Ce circuit emploie un dispositif O, dont la fonction, associée à l'organe de décision, est de traduire la tension analogique appliquée en un niveau logique.



Entrée numérique, vue sur le plan analogique

Le dispositif O est un circuit R//C, avec, pour la famille CMOS,  $R = \infty$ , et  $C = 3,5\text{ pF}$  par défaut.

Pour représenter le comportement des composants électroniques présents à l'entrée de l'opérateur logique, un dipole, nommé ici  $Z_{eq}$ , est placé par Pspice également sur le dispositif O. Pour la famille CMOS, dont les entrées aboutissent à des grilles de transistors MOS, ce dipole pourrait être omis. Mais, il a été placé un modèle de diode de « clamping », pour représenter les diodes de protection, présentes sur chaque entrée de la famille 74AC.



Ces diodes sont, est, en fait, formées par une source de courant commandée par une tension, qui modélise le comportement statique.

La tension obtenue en sortie de l'opérateur analogique chargé par ce dispositif est alors comparée à des seuils, par l'organe de décision pour pouvoir en déduire quel état logique placer à l'entrée de l'opérateur binaire. Les valeurs de ces seuils sont dans la librairie DIG\_IO.lib, à la ligne DO74AC.

```
Models List
Model Name
74AC_Clamp
74LS_InputClamp
AtoDDEFAULT
AtoD_100K
AtoD_100K_NX
*
* Input Clamp
*
.subckt 74AC_Clamp A C
G_Clamp A C TABLE ( V(A,C) )
+ 0.0, 1nA
+ 0.5, 1uA
+ 5.5, 1A
.ends
```

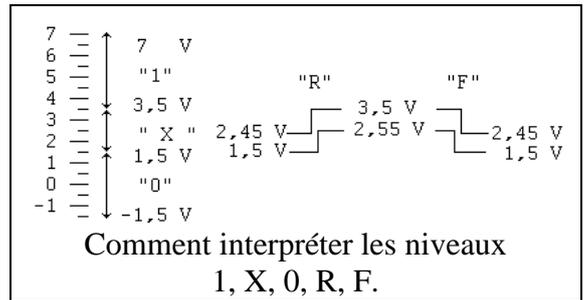
```
Models List
Model Name
DO74
DO74AC
DO74ACT_NX
DO74ACT_ST
.model DO74AC doutput (
+ s0name="X" s0vlo=1.50 s0vhi=3.50
+ s1name="0" s1vlo=-1.5 s1vhi=1.5
+ s2name="R" s2vlo=1.5 s2vhi=2.55
+ s3name="R" s3vlo=2.45 s3vhi=3.50
+ s4name="X" s4vlo=1.50 s4vhi=3.50
+ s5name="1" s5vlo=3.50 s5vhi=7.0
+ s6name="F" s6vlo=2.45 s6vhi=3.50
+ s7name="F" s7vlo=1.50 s7vhi=2.55
+ )
```

**Interprétations :**

Les états « 0 », « 1 », « X » sont définis par encadrement de la tension en sortie du bloc « O ».

Lors des entrées ou sorties de la zone d'incertitude, Pspice traduit par :

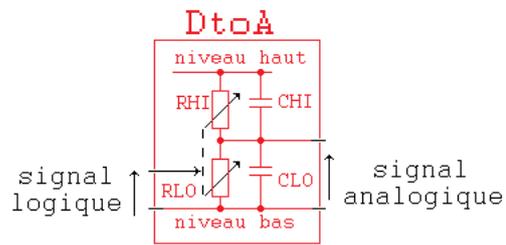
- un front montant si cette tension entre par en dessous, dans la zone [1,5 V ; 2,55 V] et/ou [2,45 V ; 3,5 V].
- un front descendant si cette tension entre par au-dessus dans la zone [3,5 V ; 2,45 V] et/ou [2,55 V ; 1,5 V].



**Comment Pspice passe de la logique à l'analogique**

- Quand la sortie d'un boîtier digital est connectée à un nœud analogique, le simulateur intercale un circuit « DtoA ».

Ce circuit emploie un **dispositif N**, dont la fonction est de traduire les états logiques par un changement d'impédance d'un pont diviseur de tension R<sub>HI</sub>, R<sub>LO</sub>, du côté analogique, ce qui modifie la tension de sortie.



**Sortie numérique, vue sur le plan analogique**

Par exemple, si le signal numérique à communiquer à un nœud analogique est « 1 », le dispositif DtoA placera progressivement R<sub>HI</sub> = 1 Ω et R<sub>LO</sub> = 100 kΩ. Le temps d'établissement à la valeur finale est donné, pour chaque évènement, par tsw. Ici, ces temps sont identiques (0,7 ns).

```
Models List
Model Name
DIN4000UB_OC
DIN74
DIN74AC
DIN74AC_OC
DIN74ALS00
*
* 74AC Digital Input/Output Models
.model DIN74AC dinput (
+ s0name="0" s0tsw=0.7ns s0rlo=1.0 s0rhi=100K
+ s1name="1" s1tsw=0.7ns s1rlo=100K s1rhi=1
+ s2name="X" s2tsw=0.7ns s2rlo=104 s2rhi=100
+ s3name="R" s3tsw=0.7ns s3rlo=104 s3rhi=100
+ s4name="F" s4tsw=0.7ns s4rlo=104 s4rhi=100
+ s5name="Z" s5tsw=0.7ns s5rlo=200K s5rhi=200K
+ )
```

**Extrait de dig\_io.lib**

On remarque que l'état haute impédance est modélisé par des résistances de 200 kΩ.

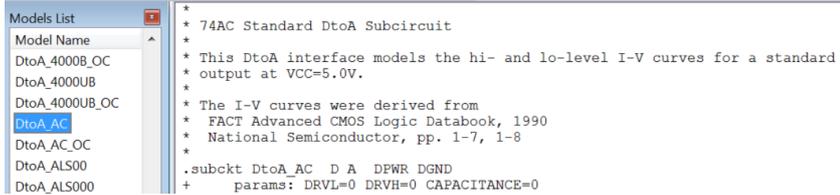
Pour mieux interpréter ce fichier, on peut calculer la source de Thévenin des valeurs finales de chaque combinaison. De plus, l'évolution progressive du pont diviseur permet d'avoir une forme d'onde représentative de la réalité (et non une réponse du premier ordre) :

		« 0 »	« 1 »	« X »	« R »	« F »	« Z »
	E <sub>TH</sub> (V)	0	5	2,45	2,45	2,45	2,5
	R <sub>TH</sub> (Ω)	1	1	51	51	51	100 k

**Descente progressive de 1 à 0**

Le schéma à source de Thévenin montre que cet inverseur pourrait débiter 5 A sur un court-circuit !

En fait, associé à ce dispositif N, Pspice intercale un étage limitation de courant, par une source G tabulée, ainsi qu'une diode de clamping :



Models List

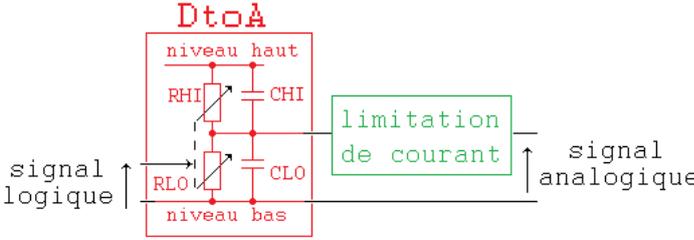
- Model Name
- DtoA\_4000B\_OC
- DtoA\_4000UB
- DtoA\_4000UB\_OC
- DtoA\_AC**
- DtoA\_AC\_OC
- DtoA\_ALS00
- DtoA\_ALS000

```

* 74AC Standard DtoA Subcircuit
* This DtoA interface models the hi- and lo-level I-V curves for a standard
* output at VCC=5.0V.
* The I-V curves were derived from
* FACT Advanced CMOS Logic Databook, 1990
* National Semiconductor, pp. 1-7, 1-8
.subckt DtoA AC D A DPWR DGND
+   params: DRVH=0 DRVH=0 CAPACITANCE=0
    
```

```

G_OH DPWR DPWR_OH
+ TABLE { V(DPWR_OH,DPWR) }
+   -5.5, 142mA,
+   -4.0, 140mA,
+   -3.0, 135mA,
+   -2.0, 120mA,
+   -0.6, 50mA,
+   0.0, 0,
+   0.5, -40mA
X1 A DPWR 74AC_CLAMP
G_OL DGND OL DGND
+ TABLE { V(DGND_OL,DGND) }
+   -0.5, -70mA,
+   0, 0,
+   1.0, 120mA,
+   1.6, 150mA,
+   2.0, 160mA,
+   3.0, 170mA,
+   5.5, 172mA,
X2 DGND A 74AC_CLAMP
N1 A DGND OL DPWR_OH DIN74AC DGTINET=D IO_AC_DTOA
C1 A DGND {CAPACITANCE+0.01pF}
R1 A DGND 1G
.ends
    
```



signal logique → [niveau haut / RHI / CHI / niveau bas / RLO / CLO] → [limitation de courant] → signal analogique

**Élément intercalé en sortie de DtoA**

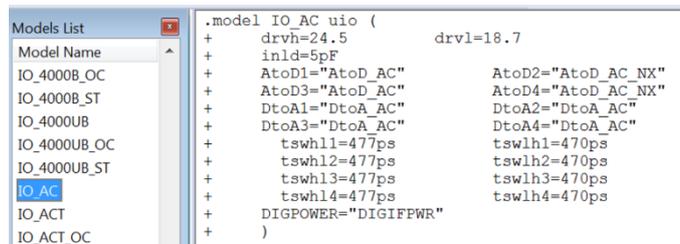
### Les niveaux de modélisation

Il existe 4 niveaux de modélisation : DtoA1, DtoA2, DtoA3, DtoA4 et AtoD1, AtoD2, AtoD3, AtoD4.

Les niveaux 1 et 2 sont dédiés aux circuits logiques alimentés en 5 V. Le niveau 2 est le plus élémentaire. Le niveau 1 gère les états R, F, X.

Les niveaux 3 et 4 ne sont fournis que pour les familles HC et HCT. Ils gèrent les changements de niveau logiques selon la tension d'alimentation (entre 2 et 6 V) et tiennent compte de la température. Le niveau 4 est plus simple. Le niveau 3 gère les états R, F, X.

Dans le cas de la technologie CMOS, famille AC, Pspice modélise de façon identique les niveaux 1 et 3, et les niveaux 2 et 4 :



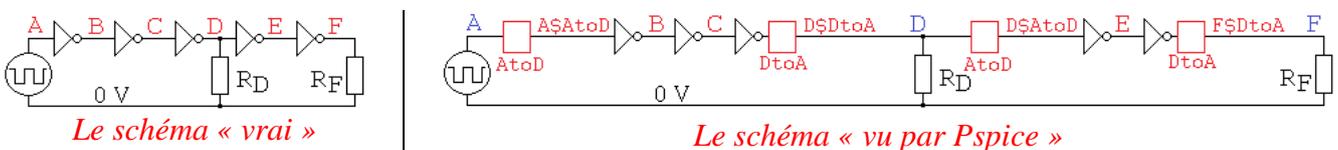
```

.model IO_AC uio (
+   drvvh=24.5           drvvl=18.7
+   inld=5pF
+   AtoD1="AtoD_AC"     AtoD2="AtoD_AC_NX"
+   AtoD3="AtoD_AC"     AtoD4="AtoD_AC_NX"
+   DtoA1="DtoA_AC"     DtoA2="DtoA_AC"
+   DtoA3="DtoA_AC"     DtoA4="DtoA_AC"
+   tswhl1=477ps       tswhl2=470ps
+   tswhl2=477ps       tswhl3=470ps
+   tswhl3=477ps       tswhl4=470ps
+   tswhl4=477ps
+   DIGPOWER="DIGIFPWR"
)
    
```

### Application

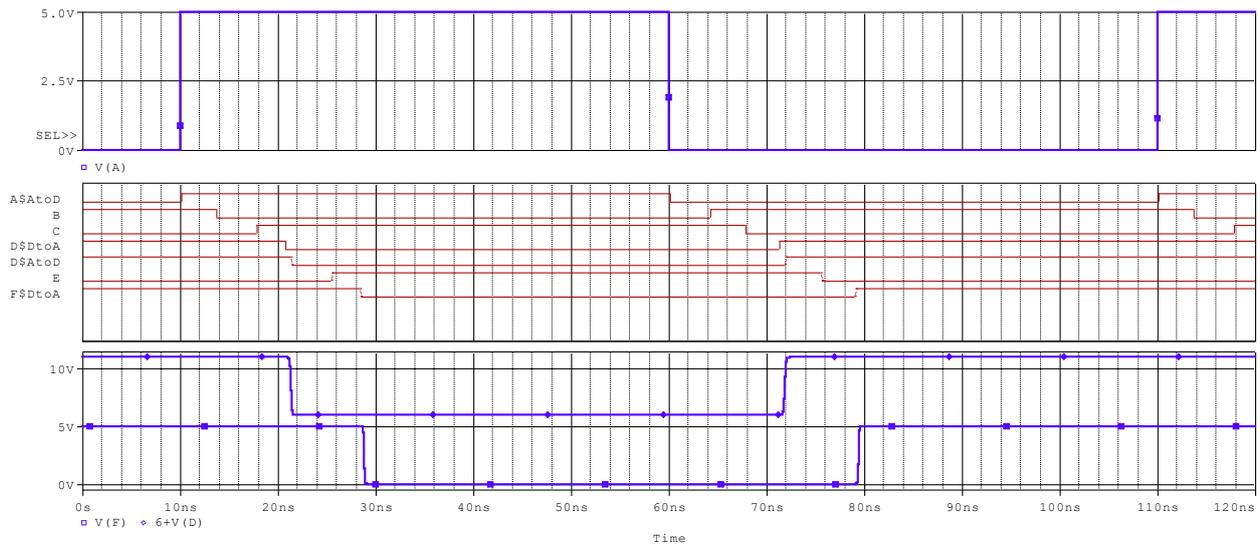
Le schéma simulé est donc formé de :

- 3 nœuds logiques « purs » : B, C, E.
- 1 potentiel analogique : A, également converti en digital (A\$AtoD)
- 1 sortie numérique D qui est convertie en analogique (D\$DtoA), pour être le potentiel D, puis reconverte en numérique (D\$AtoD) pour être compatible avec l'inverseur qui lui est connecté,
- 1 sortie numérique qui est convertie en analogique (F\$DtoA), pour être le potentiel F.



On remarque que la sortie des boîtiers logiques connectée à de l'analogique n'est plus visualisable en numérique (sortie des inverseurs délivrant D, F).

## Résultats de simulation



**3 « plots » pour mieux lire les chronogrammes.  
Pour éviter une superposition des traces, V(D) est décalé de 6 V sur ce graphe.**

Le signal analogique V(A) est de niveau compatible avec la logique utilisée : 0 V 5 V.

Il est converti par PSpice en A\$AtoD : on peut lire sur le plot un chronogramme digital, quasiment synchrone avec V(A).

Ce signal est donc l'attaque du deuxième inverseur, qui délivre B, purement binaire, avec un décalage typique de 3,5 ns et 4 ns.

L'inverseur qui suit délivre également un booléen en C.

La sortie de l'inverseur suivant est convertie par PSpice en D\$DtoA, puis ce signal est reconverti en D\$AtoD. Il existe un léger décalage, car le potentiel D analogique, évolue continument et non instantanément. Ce signal D\$AtoD attaque l'inverseur qui délivre E.

En fin de chaîne, le dernier inverseur délivre une information convertie en F\$DtoA.

Ce même nœud est visible dans le « plot » analogique.

## Conclusion

Le simulateur PSpice a évolué dans de nombreux domaines. La fusion de simulation logique et analogique est, sans conteste, un bon en avant pour les électroniciens. En effet, de nombreux circuits sont mixtes, comme, pour citer les plus connus dans l'enseignement de l'électronique :

- un oscillateur à trigger de Schmitt, formé d'un inverseur à hystérésis et d'un circuit RC,
- une PLL :
  - . dont le comparateur de phase peut être un XOR, (ou circuit plus complexe),
  - . le filtre purement analogique (à base de R, C),
  - . et le VCO qui peut être de nouveau un circuit mixte à lui seul.

Cela permet des simulations plus proches de la réalité.

Sur un schéma choisi le plus simple possible, ce document avait pour objectif de montrer –succinctement, car tout n'a pas été dit- comment exploiter et interpréter les résultats lors d'une simulation d'un circuit mixte.

articles 1 à 43 : sur le livre

**Tableau récapitulatif des articles PDF disponibles sur ce site**

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	<a href="#">présentation</a>	<a href="#">document PDF</a>
44	Exemples basiques et des exercices...	<a href="#">présentation</a>	<a href="#">document PDF</a>
45	Un exemple de circuit passif	<a href="#">présentation</a>	<a href="#">document PDF</a>
46	Un oscillateur Colpitts	<a href="#">présentation</a>	<a href="#">document PDF</a>
47	Compensation en fréquence des amplificateurs opérationnels	<a href="#">présentation</a>	<a href="#">document PDF</a>
48	Un amplificateur à transistors bipolaires	<a href="#">présentation</a>	<a href="#">document PDF</a>
49	Une bascule D Flip Flop CMOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
50	Une porte XOR à transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
51	Un VCO à 12 transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
52	Une PLL à moins de 20 transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
53	Un oscillateur à résistance négative	<a href="#">présentation</a>	<a href="#">document PDF</a>
54	Une charge électronique	<a href="#">présentation</a>	<a href="#">document PDF</a>
55	Un amplificateur en classe C	<a href="#">présentation</a>	<a href="#">document PDF</a>
56	Le monostable 74 123	<a href="#">présentation</a>	<a href="#">document PDF</a>
57	Un amplificateur en classe D	<a href="#">présentation</a>	<a href="#">document PDF</a>
58	Le transformateur en linéaire	<a href="#">présentation</a>	<a href="#">document PDF</a>
59	La loi d'ohm thermique	<a href="#">présentation</a>	<a href="#">document PDF</a>
60	Le transformateur en non linéaire	<a href="#">présentation</a>	<a href="#">document PDF</a>
61	Robustesse d'un oscillateur en anneau	<a href="#">présentation</a>	<a href="#">document PDF</a>
62	Une alimentation stabilisée	<a href="#">présentation</a>	<a href="#">document PDF</a>
63	Modélisation d'un haut-parleur	<a href="#">présentation</a>	<a href="#">document PDF</a>
64	Un synthétiseur de fréquence	<a href="#">présentation</a>	<a href="#">document PDF</a>
65	Un ampli audio de Sparkfun	<a href="#">présentation</a>	<a href="#">document PDF</a>
66	Simulation logique et analogique	<a href="#">présentation</a>	<a href="#">document PDF</a>
67	Un oscillateur à relaxation	<a href="#">présentation</a>	<a href="#">document PDF</a>
68	Lecteur de TAG RFID 125 kHz	<a href="#">présentation</a>	<a href="#">document PDF</a>
69	Diagramme de l'œil avec Pspice	<a href="#">présentation</a>	<a href="#">document PDF</a>
70	Un amplificateur hautes fréquences	<a href="#">présentation</a>	<a href="#">document PDF</a>
71	Une bizarrerie enfin expliquée...	<a href="#">présentation</a>	<a href="#">document PDF</a>
72	Comprendre le paramétrage de la FFT	<a href="#">présentation</a>	<a href="#">document PDF</a>
73	La relation de Bennett	<a href="#">présentation</a>	<a href="#">document PDF</a>
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	<a href="#">présentation</a>	<a href="#">document PDF</a>
75	Une horloge biphase sans recouvrement	<a href="#">présentation</a>	<a href="#">document PDF</a>
76	Quelques simulations sur la diode	<a href="#">présentation</a>	<a href="#">document PDF</a>
77	Un ampli classe A, avec transformateur de sortie	<a href="#">présentation</a>	<a href="#">document PDF</a>
78	Des stimuli pour PSpice	<a href="#">présentation</a>	<a href="#">document PDF</a>
79	Simuler le TL431 : zener ajustable	<a href="#">présentation</a>	<a href="#">document PDF</a>
80	Un ADC flash	<a href="#">présentation</a>	<a href="#">document PDF</a>
81	Une chaine d'acquisition : S&H, ADC, DAC	<a href="#">présentation</a>	<a href="#">document PDF</a>
82	Un amplificateur 50 MHz	<a href="#">présentation</a>	<a href="#">document PDF</a>
83	Un dérivateur non inverseur	<a href="#">présentation</a>	<a href="#">document PDF</a>
84	Un amplificateur bipolaire avec push pull CMOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
85	Rôle des répéteurs logiques dans un circuit intégré	<a href="#">présentation</a>	<a href="#">document PDF</a>
86	Un driver logique CMOS pour charge 50 ohms	<a href="#">présentation</a>	<a href="#">document PDF</a>
87	Des triggers de Schmitt et des applications	<a href="#">présentation</a>	<a href="#">document PDF</a>
88	Un filtre gaussien analogique	<a href="#">présentation</a>	<a href="#">document PDF</a>
89	Un générateur de bruit rose	<a href="#">présentation</a>	<a href="#">document PDF</a>

90	Un anémomètre à fil chaud : simulation comportementale	<a href="#">présentation</a>	<a href="#">document PDF</a>
91	Un oscillateur à pont de Wien stabilisé par CTN	<a href="#">présentation</a>	<a href="#">document PDF</a>
92	L'emballage thermique d'une diode	<a href="#">présentation</a>	<a href="#">document PDF</a>
93	Les puissances dans un amplificateur	<a href="#">présentation</a>	<a href="#">document PDF</a>
94	Asservissement de puissance dans une résistance	<a href="#">présentation</a>	<a href="#">document PDF</a>
95	Asservissement de la puissance émise par une antenne radio	<a href="#">présentation</a>	<a href="#">document PDF</a>
96	Un driver de LED de puissance	<a href="#">présentation</a>	<a href="#">document PDF</a>
97	Exploiter Pspice pour simuler des filtres numériques	<a href="#">présentation</a>	<a href="#">document PDF</a>
98	Un filtre en cosinus surélevé avec Pspice	<a href="#">présentation</a>	<a href="#">document PDF</a>
99	Effet de la température sur un amplificateur en classe A	<a href="#">présentation</a>	<a href="#">document PDF</a>
100	Un amplificateur à transistors JFET et bipolaires	<a href="#">présentation</a>	<a href="#">document PDF</a>
<b>Supplément, hors article :</b>			
<b>mon cours « Electronique pour les communications numériques », <a href="#">polycopié couleur 201 pages en pdf</a></b>			

[retour à l'écran d'accueil de ce site](#)