Horloge biphase sans recouvrement :

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet : ***page d'accueil***

d'autres pdf, sur différents sujets : ***liste des PDF***

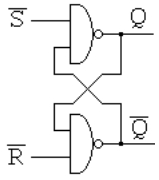
Les montages exploitant des commutateurs électroniques (circuits à capacités commutées, par exemple) nécessitent des signaux de commandes complémentaires mais non recouvrant. En effet, pour éviter des aléas lors des commutations, il est préférable de disposer d'un temps mort entre l'action d'une commande et l'action de la commande complémentaire. Nous présentons ici un schéma basique d'une bascule RS, dans laquelle on exploite le temps de traversée des opérateurs logiques pour réaliser ce temps de non recouvrement.

1) Bascule RS : table de vérité et fonctionnement dynamique

1.a) Explication

Usuellement, on appelle S, R, les entrées Set (mise à 1) et Reset (mise à 0) respectivement.
Dans le cas ci-dessous, ces entrées sont actives au niveau bas.

Elles sont donc nommées $\overline{S}$ $\overline{R}$ respectivement.
La sortie est Q : un niveau bas sur $\overline{S}$ fait passer Q à 1 (**Set**), et un niveau bas sur $\overline{R}$ fait passer Q à 0 (**Reset**).
Un niveau haut sur les deux entrées est sans effet : les états logiques sont conservés. C'est la fonction **mémoire**.
Dans ces conditions, la deuxième sortie est $\overline{Q}$.



$\overline{S}$	$\overline{R}$	Q_n
0	0	x
0	1	1
1	0	0
1	1	Q_{n-1}

Remarques :

- Un niveau bas sur $\overline{S}$ et $\overline{R}$ aboutit à Q = 1 et $\overline{Q}$ = 1. Cet état est à interdire, car on perd la complémentarité des 2 sorties.
De plus, si $\overline{S}$ et $\overline{R}$ repassent alors simultanément à 1, le résultat sur Q et $\overline{Q}$ sera lié à la rapidité d'une NAND vis-à-vis de l'autre :
- si Q commute avant $\overline{Q}$, (et donc passe à 0 rapidement), la sortie $\overline{Q}$ sera 0 NAND 1, soit 1.
- si $\overline{Q}$ commute avant Q, (et donc passe à 0 rapidement), la sortie Q sera 0 NAND 1, soit 1.
On se retrouve alors avec un fonctionnement mémoire, mais avec une combinaison (Q , $\overline{Q}$) = (0 , 1) ou (1, 0).
Cette incertitude n'est pas acceptable en pratique.

- Ce type de circuit met en défaut les simulateurs logiques : pour calculer Q, le simulateur doit connaitre les états de $\overline{S}$ et $\overline{Q}$ afin d'exploiter la table de vérité de la porte NAND. Mais pour connaitre $\overline{Q}$, il faut connaitre Q… Le rebouclage des opérateurs rend impossible la détermination de la sortie d'une NAND de ce schéma : il donnera des états indéterminés, sauf pour des instants où la sortie est imposée par une entrée, sans tenir compte de l'autre.

1.b) Simulation PSpice de la $\overline{R}$ $\overline{S}$

- Vérifions dans un premier temps le fonctionnement standard :

```
Bascule RS
* fichier RS.cir
*
* transistors perso
.model MODN nmos ( Level=1  Kp=2.9m Vto=2.1
+ CBD=10P CBS=10P Cgdo=30n Cgso=30n lambda=0.002 )
.model MODP pmos ( Level=1  Kp=2m Vto=-2.9
+ CBD=10P CBS=10P Cgdo=30n  Cgso=30n lambda=0.002 )
Vdd vdd 0 DC 5 ; alim digitale
* signal sur R\
VRB RB 0 PULSE (5 0 0.5u 20n 20n 0.48u 2u)
* signal sur S\
VSB SB 0 PULSE (5 0 1.5u 20n 20n 0.48u 2u)
* inverseur
.subckt INV in out vdd
Mp out in vdd vdd MODP
Mn out in 0 0 MODN
.ends
* nand
.subckt Nand2 in1 in2 out vdd
Mp1 out in1 Vdd Vdd MODP ; DGSB
Mp2 out in2 Vdd Vdd MODP
Mn1 out in1 i 0 MODN
Mn2 i in2 0 0 MODN
.ends
* circuit RB SB à transistors
X1 SB QB Q vdd Nand2
X2 Q RB QB vdd Nand2
.IC V(QB)=0 V(Q)=5
.TRAN 10ns 3.6us 0 10ns
.PROBE
.END
```

Netliste, prête à simuler

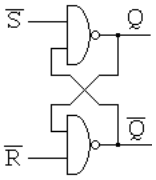


Schéma à portes NAND

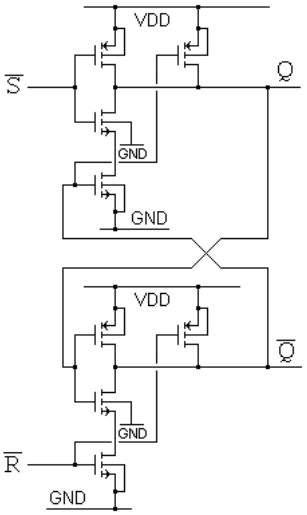


Schéma à transistors

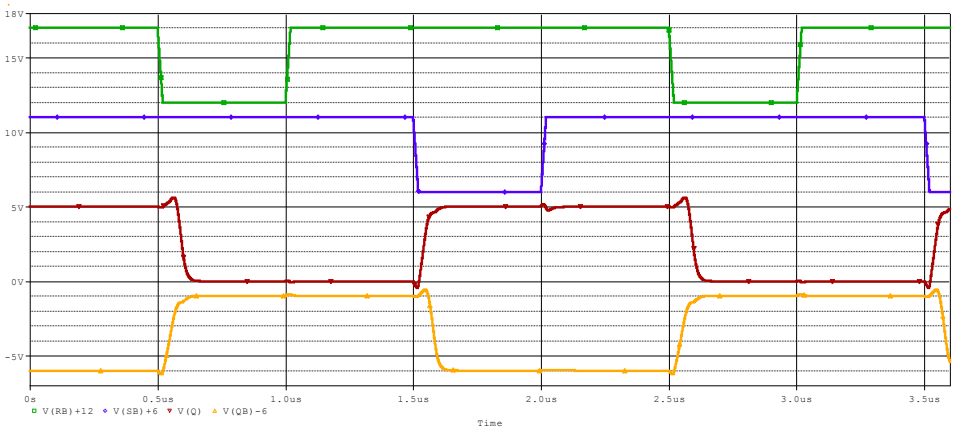
Les modèles des transistors utilisés dans cette simulation ont été déterminés après quelques essais : le comportement des portes inverseuses et Nand sont proches de la réalité d'une part, et du modèle de la librairie CD4000 d'autre part. Les géométries des transistors ne sont pas spécifiés et prennent les valeurs par défaut. C'est satisfaisant pour illustrer le comportement de la porte RS.

On choisit une durée de niveau bas de 500 ns pour activer $\overline{R}$ ou $\overline{S}$. C'est largement suffisant pour cette (ancienne) technologie. Les fronts montants et descendants sont de 20 ns. Niveaux : 0 V ; 5 V.
On choisit de séparer les commandes $\overline{R}$ et $\overline{S}$ de 1 µs, pour mieux voir les résultats de simulation.

Les 2 sorties sont complémentées.

A t = 0, Q est à l'état logique 1 (imposé par la condition initiale).

On a l'action de Reset (à t = 0,5 µs), de Set (à t = 1,5 µs).



(les courbes sont décalées verticalement pour une meilleure lisibilité)
De haut en bas : Reset, Set, Q, Qcomplémenté

- Vérifions maintenant le fonctionnement interdit :

On conserve le même circuit, et on modifie les signaux injectés sur la bascule :

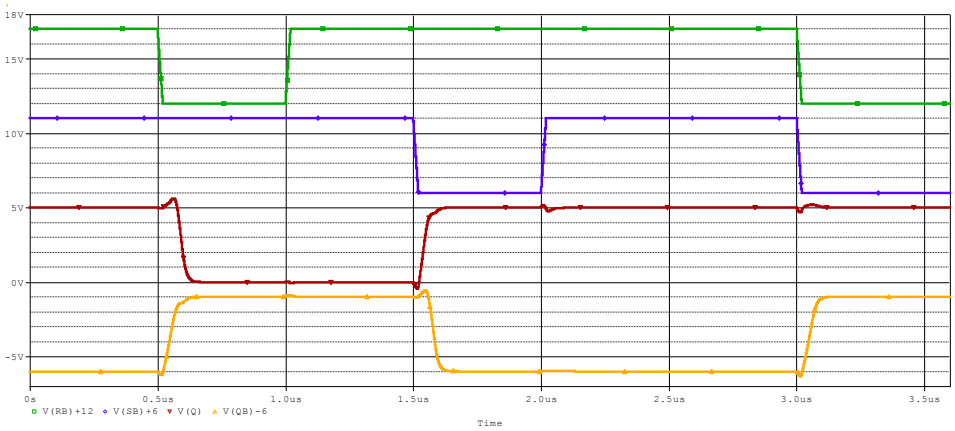
```
* signal sur R\
VRB RB 0 PWL (0,5 0.5u,5 0.52u,0 1u,0 1.02u,5 3u,5 3.02u,0)

* signal sur S\
VSB SB 0 PWL (0,5 1.5u,5 1.52u,0 2u,0 2.02u,5 3u,5 3.02u,0)
```

On commence de façon identique.

Mais à t = 3 µs, les signaux d'entrée sont positionnés dans l'état interdit : tous 2 à 0.

Il s'ensuit que les 2 sorties sont à l'état haut, ce qui conforte que cette combinaison est à proscrire.



(les courbes sont décalées verticalement pour une meilleure lisibilité)
De haut en bas : Reset, Set, Q, Qcomplémenté

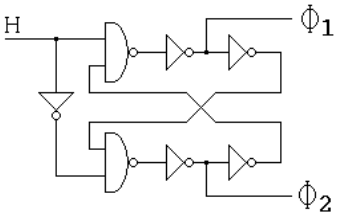
2) Horloge biphase

2.a) Schéma, explications

On relie $\overline{S}$ et $\overline{R}$ par un inverseur : il y a une impossibilité d'avoir la combinaison interdite.

On ne dispose que d'une entrée, nommée H.

Pour éviter un aléa lors de la commutation de H, on impose un temps de réponse des portes NAND supérieur à celui de l'inverseur.



horloge biphase

Il suffit d'ajouter un décalage sur les sorties des NAND : ici, 2 inverseurs en série permettent d'insérer leur temps de traversée respectif.
C'est ce temps de traversée, associé aux autres temps de traversée, qui va imposer un temps de non recouvrement entre Φ_1 , Φ_2. On peut concevoir également de placer 4, 6 inverseurs… ou une cellule analogique (à base de R, C) qui retarde la propagation sur les branches de retour.

Nous allons simuler dans un premier temps le schéma à base de portes de la librairie CMOS CD4000, installée avec Pspice. Puis le schéma à transistors, modélisés comme précédemment.

2.b) Simulation du schéma à portes CD4000

On place une horloge cadencée à 0,5 MHz. Les niveaux sont de 0 V 5 V. Les fronts montants et descendants de H sont fixés à 20 ns, ce qui modélise un signal sortant d'un opérateur logique de cette technologie.
Pour afficher les potentiels pertinents sur un « plot » analogique, il a été placé des résistances de pull down de 100 kΩ, qui n'influent pas sur le fonctionnement.

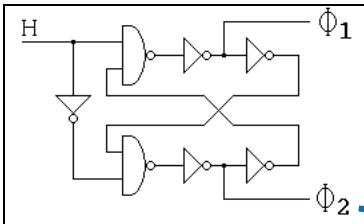
```
horloge sans recouvrement à portes CD4000
*
* fichier horloge_biphase_portes.cir
.lib dig_io.lib
.lib CD4000.lib

* circuit :
* horloge :
VCLK H 0 pulse (0 5 5n 20n 20n .98u 2u)
X0 H HB CD4049A
Rbidon0 HB 0 100k
```

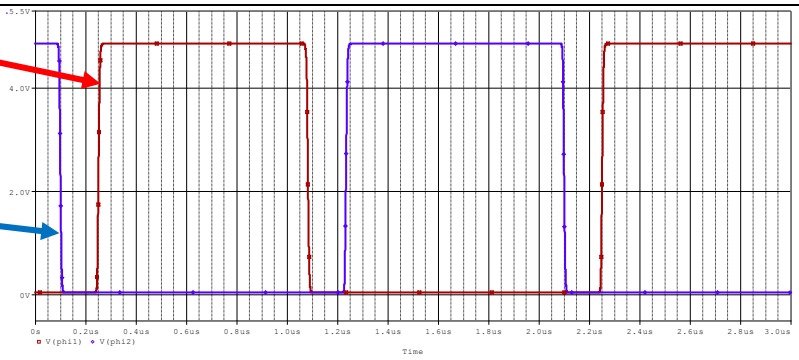
```
* circuit RB SB
X1 H QBr Q CD4011A ; NAND
X11 Q phi1 CD4049A  ; INV
X12 phi1 Qr CD4049A
Rbidon1 phi1 0 100k
X2 Qr HB QB CD4011A
X21 QB phi2 CD4049A
Rbidon2 phi2 0 100k
X22 phi2 QBr CD4049A

.TRAN 100ps 3us 0 100ps
.PROBE
.END
```

Netliste, prête à simuler



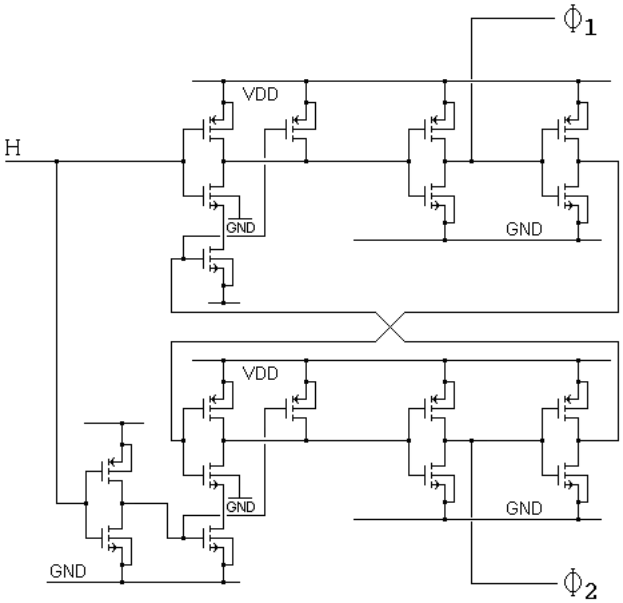
A mi hauteur (2,5 V), le temps de séparation entre Φ_1 et Φ_2 est de 152 ns.



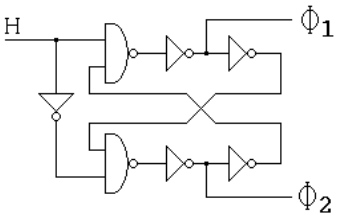
Φ_1 et Φ_2, 2 signaux actifs au niveau haut, sans recouvrement

2.c) Simulation du schéma à transistors CMOS

Le schéma à transistors totalise 18 transistors (4 par NAND et 2 par Inverseur), ce qui est simulable avec la version Lite de Pspice (limité à 20 transistors).



horloge biphase : schéma à transistors : 18 au total.



horloge biphase : schéma à portes

A ce niveau de nombre de transistors, il est plus judicieux de faire appel à des sous-circuits pour faciliter l'écriture –et la lecture- de la netliste. Naturellement, les sous circuits sont les portes logiques.

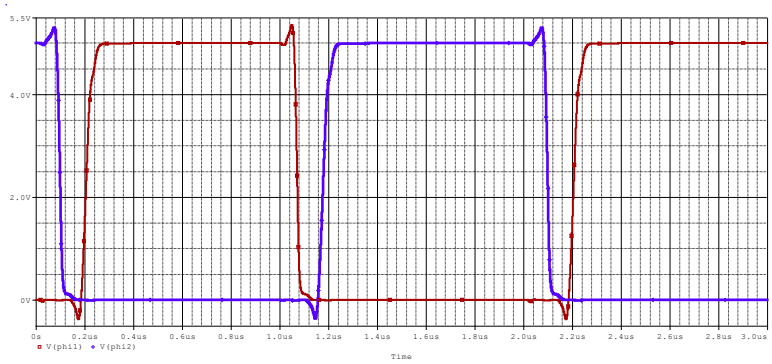
```
horloge sans recouvrement
*
* fichier horloge_biphase_transistors.cir
* circuit :
* transistors perso
.model MODN nmos ( Level=1  Kp=2.9m
+ Vto=2.1 CBD=10P CBS=10P
+ Cgdo=30n Cgso=30n lambda=0.002 )
.model MODP pmos ( Level=1  Kp=2m
+ Vto=-2.9 CBD=10P CBS=10P
+ Cgdo=30n  Cgso=30n lambda=0.002 )
* alim :
Vdd vdd 0 DC 5 ; alim digitale
* horloge :
VCLK H 0 pulse (0 5 5n 20n 20n .98u 2u)
X0 H HB vdd INV
* inverseur
.subckt INV in out vdd
Mp out in vdd vdd MODP
Mn out in 0 0 MODN
.ends
```

```
* nand
.subckt Nand2 in1 in2 out vdd
Mp1 out in1 Vdd Vdd MODP ; DGSB
Mp2 out in2 Vdd Vdd MODP
Mn1 out in1 i 0 MODN
Mn2 i in2 0 0 MODN
.ends

* circuit RB SB
X1 H QBr Q vdd Nand2
X11 Q phi1 vdd INV
X12 phi1 Qr vdd INV
X2 Qr HB QB vdd Nand2
X21 QB phi2 vdd INV
X22 phi2 QBr vdd INV
.TRAN 100ps 3us 0 100ps
.PROBE
.END
```

Netliste, prête à simuler

On perçoit des petits écarts (visibles ici avec les échelles des temps choisies, notamment lors des transitions). Mais le fonctionnement est similaire : en mesurant les temps de non recouvrement lors du passage à 2,5 V (mi course), on a 108 ns.



2 signaux actifs au niveau haut sans recouvrement

Conclusion

La **simulation au niveau portes logiques** de la famille CD4000 a permis de confirmer l'étude, et de mesurer le non-recouvrement entre Φ_1 et Φ_2. Mais les formes d'onde sont idéalisées, et risquent de ne pas refléter les signaux réels.

La **simulation au niveau transistors** est plus riche de renseignement. Les transitions en sortie des opérateurs logiques sont plus complexes. Par contre, il faut une modélisation des transistors fiable, pour coller à la réalité. Dans cet article, les paramètres des transistors ne sont pas donnés par les fabricants de la série CD4000 (lancée par RCA, puis reprise par Motorola par la série MC14000), mais sont déterminés par des essais personnels (sur un oscillateur en anneau notamment). Les formes d'onde temporelles obtenues sont néanmoins voisines de ce qu'on aurait en pratique.

articles 1 à 43 : sur le livre

Tableau récapitulatif des articles PDF disponibles sur ce site

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	présentation	document PDF
44	Exemples basiques et des exercices...	présentation	document PDF
45	Un exemple de circuit passif	présentation	document PDF
46	Un oscillateur Colpitts	présentation	document PDF
47	Compensation en fréquence des amplificateurs opérationnels	présentation	document PDF
48	Un amplificateur à transistors bipolaires	présentation	document PDF
49	Une bascule D Flip Flop CMOS	présentation	document PDF
50	Une porte XOR à transistors MOS	présentation	document PDF
51	Un VCO à 12 transistors MOS	présentation	document PDF
52	Une PLL à moins de 20 transistors MOS	présentation	document PDF
53	Un oscillateur à résistance négative	présentation	document PDF
54	Une charge électronique	présentation	document PDF
55	Un amplificateur en classe C	présentation	document PDF
56	Le monostable 74 123	présentation	document PDF
57	Un amplificateur en classe D	présentation	document PDF
58	Le transformateur en linéaire	présentation	document PDF
59	La loi d'ohm thermique	présentation	document PDF
60	Le transformateur en non linéaire	présentation	document PDF
61	Robustesse d'un oscillateur en anneau	présentation	document PDF
62	Une alimentation stabilisée	présentation	document PDF
63	Modélisation d'un haut-parleur	présentation	document PDF
64	Un synthétiseur de fréquence	présentation	document PDF
65	Un ampli audio de Sparkfun	présentation	document PDF
66	Simulation logique et analogique	présentation	document PDF
67	Un oscillateur à relaxation	présentation	document PDF
68	Lecteur de TAG RFID 125 kHz	présentation	document PDF
69	Diagramme de l'œil avec Pspice	présentation	document PDF
70	Un amplificateur hautes fréquences	présentation	document PDF
71	Une bizarrerie enfin expliquée...	présentation	document PDF
72	Comprendre le paramétrage de la FFT	présentation	document PDF
73	La relation de Bennett	présentation	document PDF
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	présentation	document PDF
75	Une horloge biphase sans recouvrement	présentation	document PDF
76	Quelques simulations sur la diode	présentation	document PDF
77	Un ampli classe A, avec transformateur de sortie	présentation	document PDF
78	Des stimuli pour PSpice	présentation	document PDF
79	Simuler le TL431 : zener ajustable	présentation	document PDF
80	Un ADC flash	présentation	document PDF
81	Une chaine d'acquisition : S&H, ADC, DAC	présentation	document PDF
82	Un amplificateur 50 MHz	présentation	document PDF
83	Un dérivateur non inverseur	présentation	document PDF
84	Un amplificateur bipolaire avec push pull CMOS	présentation	document PDF
85	Rôle des répéteurs logiques dans un circuit intégré	présentation	document PDF
86	Un driver logique CMOS pour charge 50 ohms	présentation	document PDF
87	Des triggers de Schmitt et des applications	présentation	document PDF
88	Un filtre gaussien analogique	présentation	document PDF
89	Un générateur de bruit rose	présentation	document PDF

90	Un anémomètre à fil chaud : simulation comportementale	présentation	document PDF
91	Un oscillateur à pont de Wien stabilisé par CTN	présentation	document PDF
92	L'emballement thermique d'une diode	présentation	document PDF
93	Les puissances dans un amplificateur	présentation	document PDF
94	Asservissement de puissance dans une résistance	présentation	document PDF
95	Asservissement de la puissance émise par une antenne radio	présentation	document PDF
96	Un driver de LED de puissance	présentation	document PDF
97	Exploiter Pspice pour simuler des filtres numériques	présentation	document PDF
98	Un filtre en cosinus surélevé avec Pspice	présentation	document PDF
99	Effet de la température sur un amplificateur en classe A	présentation	document PDF
100	Un amplificateur à transistors JFET et bipolaires	présentation	document PDF
Supplément, hors article :			
mon cours « Electronique pour les communications numériques ». polycopié couleur 201 pages en pdf			

retour à l'écran d'accueil de ce site