

Un driver logique CMOS pour charge 50 ohms

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet :

[page d'accueil](#)

d'autres pdf, sur différents sujets :

[liste des PDF](#)

Dans certains cas, un signal logique issu d'un circuit intégré doit être injecté sur un récepteur qui présente une faible impédance d'entrée, ce qui lui est incompatible. On propose dans cet article un circuit adaptateur uniquement logique, de façon monolithique, en exploitant une chaîne d'inverseurs avec un dimensionnement particulier. Le récepteur est modélisé par une résistance 50 Ω. Le signal à transmettre est une horloge à 1 GHz.

1) Performances d'un inverseur de base

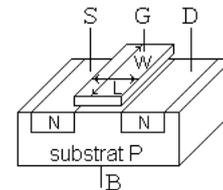
1.a) Description

Rappelons que le transistor MOS dispose de 4 électrodes :

Source (S), Drain (D),
Grille (G), substrat (B, pour « Bulk », ou « Body »)

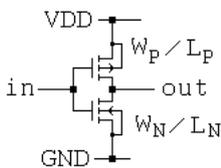
L est la longueur, W la largeur, dans le sens Drain Source.

La surface « sous la grille » est $W \times L$.

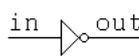


Constitution d'un MOS canal N.

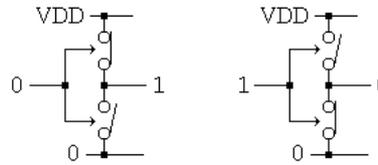
Un inverseur CMOS est réalisé avec un transistor MOS canal P (de dimension W_P, L_P), et un transistor MOS canal N (de dimension W_N, L_N), qui lui est complémentaire dans le principe de fonctionnement.



Schéma



Symbole



Principe

in	out
0	1
1	0

Table de vérité

Idéalement, les tensions appliquées sont telles que les transistors agissent en interrupteur ouvert ou passant, ce qui forme le principe de fonctionnement d'un inverseur logique, d'où sa table de vérité.

Cette modélisation, exploitable dans le domaine logique, ne montre pas les caractéristiques électriques.

Considérons un inverseur CMOS réalisé avec $W_P = 0,9 \mu\text{m}$, $W_N = 0,5 \mu\text{m}$, alimentée en 3,3 V.

$L = 0,35 \mu\text{m}$, la taille minimale pour les transistors, imposée par la technologie choisie.

Dans les simulations qui vont suivre, les netlistes PSpice commencent par cette description :

```
test inverseur CMOS
* fichier test_inv.cir

.model MODN nmos (Level=1 Kp=90u Vto=0.5 Cgdo=.3n Cgso=2.8n lambda=0.02 L=0.35u)
.model MODP pmos (Level=1 Kp=50u Vto=-0.6 Cgdo=.3n Cgso=2.8n lambda=0.04 L=0.35u)
.param Wp={0.9u}
.param Wn={0.5u}

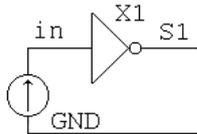
.subckt INV1 in out vdd
Mp out in vdd vdd MODP W={Wp}
Mn out in 0 0 MODN W={Wn}
.ends
```

1.b) Caractéristique statique de l'inverseur

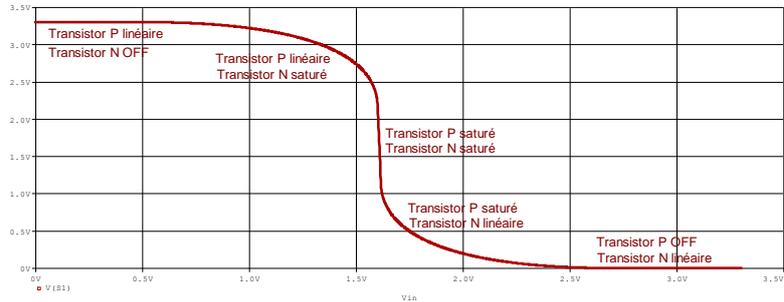
On finit la netliste par :

```
* circuit :
Vdd vdd 0 dc 3.3 ; alim
Vin in 0 DC 0
*.DC Vin 0 3.3 1mV ; pour carac de transfert
.PROBE
.END
```

La caractéristique de transfert statique, $V(S1) = f(V(in))$, permet d'analyser la sortie sur l'aspect analogique, obtenue quand l'entrée $V(in)$ varie continûment de 0 à 3,3 V.



Le schéma simulé



Caractéristique de transfert statique de l'inverseur. On indique les régimes des transistors.

Interprétation :

Idealement, cette caractéristique doit être centrée au voisinage de $VDD/2$, soit 1,65 V.

L'annexe 1 indique : $\beta = \sqrt{\frac{K_N W_N L_P}{K_P W_P L_N}}$ soit ici : $\sqrt{\frac{90 \cdot 0,5 \cdot 0,35}{50 \cdot 0,9 \cdot 0,35}} = 1$

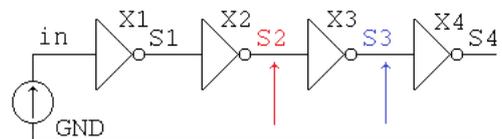
Seuil de basculement : $V_S = \frac{VDD + \beta V_{TN} - |V_{TP}|}{1 + \beta}$ soit ici : $\frac{3,3 + 0,5 - 0,6}{1 + 1} = 1,6$ V,

La simulation confirme cette valeur.

1.c) Comportement dynamique, environnement logique CMOS

On place l'inverseur sous test dans un environnement purement logique, soit, pour faire simple ici, une chaîne d'inverseurs.

Le signal d'entrée est symétrique, de niveau bas = 0 V et de niveau haut = 3,3 V, de fréquence 1 GHz, dont les transitions montantes et descendantes sont fixés arbitrairement de 100 ps, soit un temps de montée (ou de descente) entre 10 % et 90 % de 80 ps.



Le schéma simulé

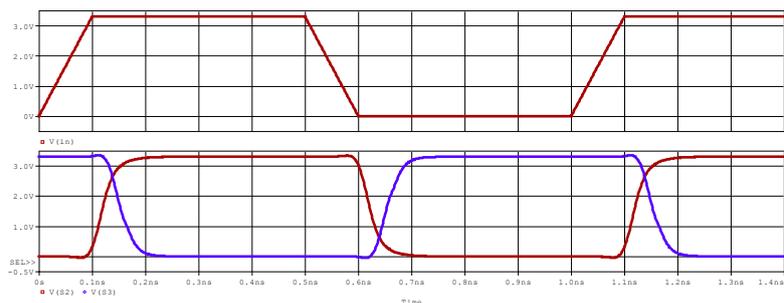
On visualise les signaux en S2, S3, potentiels choisis pour se situer au sein d'un environnement logique

Le schéma simulé correspond à la netliste :

```
* circuit :
Vdd vdd 0 dc 3.3 ; alim
Vin in 0 pulse (0 3.3 0 100p 100p 400p 1n)
X1 in S1 vdd INV1
X2 S1 S2 vdd INV1
X3 S2 S3 vdd INV1
X4 S3 S4 vdd INV1
.TRAN 1p 1.4n 0n 1p
.PROBE
.END
```

Après simulation, on observe :

- l'entrée **V(in)**
- les potentiels **S2**, et **S3**,



transitions visualisées sur S2 et S3.

Interprétation :

En sortie des inverseurs S2 et S3, les niveaux haut et bas sont quasiment 3,3 V et 0 V (à quelques mV près). S2 est dans le même sens que V(in), car 2 inversions, et S3 est son complémentaire.

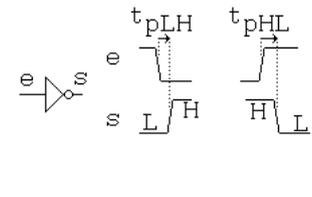
Les transitions sont symétriques par rapport à $V_{DD}/2 = 1,65$ V. La forme d'onde de montée (ou descente) est difficilement calculable par la théorie, car l'entrée est une rampe (100 ps) et les 2 transistors commutent.

La fréquence de 1 GHz, est choisie pour visualiser les temps de propagation sur le chronogramme à l'échelle d'une période (1 ns).

Rappelons qu'on appelle :

- t_{pLH} , temps de propagation de la transition donnant Low High en sortie,
- t_{pHL} , temps de propagation de la transition donnant High Low en sortie.

Le temps de propagation (ou de traversée) est $t_p = \frac{t_{pLH} + t_{pHL}}{2}$



Une mesure au curseur lors de la traversée à 1,65 V donne, entre S2 et S3 : $t_{pHL} = 32$ ps et $t_{pLH} = 33$ ps. On déduit $t_p = 32,5$ ps.

De plus, en mesurant entre 10 % et 90 % (soit 0,33 V et 2,97 V respectivement), on obtient :

En S2 un temps de montée de 52 ps et un temps de descente de 50 ps

En S3 un temps de montée de 53 ps et un temps de descente de 52 ps.

1.d) Capacité d'entrée

La capacité d'entrée est liée à C_{GS} (et dans une moindre mesure C_{GD}) des transistors qui interviennent lors de la commutation. Son calcul est complexe, car les transistors changent de mode. Un calcul qui se limiterait à la notion de petits signaux serait faux.

Par contre, on peut facilement l'estimer par comparaison avec un autre montage qui présente un condensateur réel.

Dans le schéma ci-contre, (où X1 et X4 sont identiques), il suffit de tester des valeurs à C jusqu'à obtenir une égalité des potentiels entre S1 et S1C. Dans ce cas, on peut estimer que l'inverseur X2 se comporte, en entrée, comme le condensateur C.

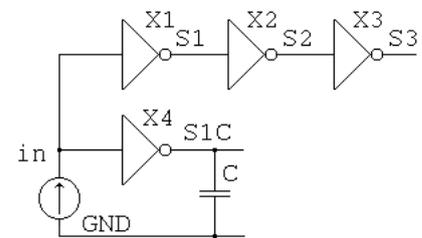
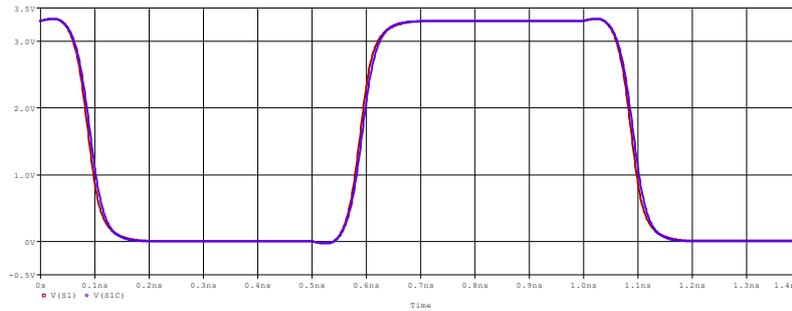


Schéma simulé

Pour ce faire, on modifie la netliste en plaçant :

Par approches successives, on vérifie que la valeur 5,2 fF donne le même signal en S1 et S1C.

```
* circuit :
Vdd vdd 0 dc 3.3 ; alim
Vin in 0 pulse (0 3.3 0 100p 100p 400p 1n)
X1 in S1 vdd INV1
X2 S1 S2 vdd INV1
X3 S2 S3 vdd INV1
X4 in S1C vdd INV1
.param C={0.02p}
C S1C 0 {C}
.STEP param C list 5f 5.2f 5.4f
.TRAN 1p 1.4n 0n 1p
.PROBE
.END
```



Les 2 traces sont confondues pour $C = 5,2 \text{ fF}$

Remarques :

- Cette simulation montre que le condensateur ramené à l'entrée peut être considéré comme constant, alors qu'il est lié à C_{GS} des transistors, fonction de la polarisation.
- Si on double les W des 2 transistors de l'inverseur X2, on va doubler leur surface, et par conséquence, les capacités C_{GS} et C_{GD} . La capacité ramené à l'entrée va donc doubler également. Les 2 courbes seront de nouveau superposées pour $C = 10,4 \text{ fF}$. (Ceci pour une modélisation des transistors de niveau 1). Cette propriété est généralisable : si les W sont affectés d'un coefficient k , alors la capacité ramené sera affectée du même coefficient k .
- Si on place un condensateur, même de 1 pF en sortie de X2, le signal en S1 n'est que faiblement perturbé. Ce qui signifie que, sur un inverseur, la capacité d'entrée est peu liée à la capacité branchée en sortie.

1.e) Comportement selon C de sortie

Vérifions la tenue de cet inverseur de base face à un condensateur sur sa sortie.

On réalise une nouvelle simulation en observant la tension de sortie de l'inverseur X1 en fonction d'une capacité C connectée en sa sortie. On laisse les inverseurs X2, X3.

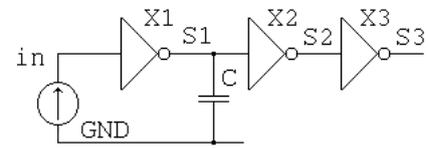


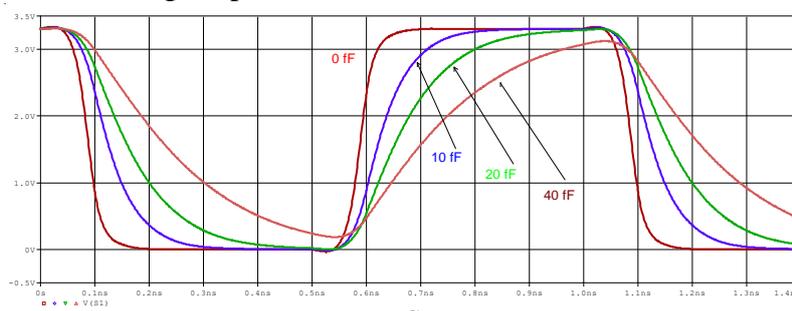
Schéma simulé

Le condensateur C prend une succession de valeurs : 0 10fF 20fF 40fF.

Pour ce faire, on modifie la netliste en plaçant :

```
* circuit :
Vdd vdd 0 dc 3.3 ; alim
Vin in 0 DC 0 pulse (0 3.3 0 100p 100p 400p 1n)
X1 in S1 vdd INV1
X2 S1 S2 vdd INV1
X3 S2 S3 vdd INV1
C S1 0 {C}
.param C={0.01p}
.STEP param C list 0 10f 20f 40f
.TRAN 1p 1.4n 0n 1p
.PROBE
.END
```

En tenant compte de la capacité d'entrée de l'inverseur en aval, soit 5,2 fF identifié en 1.d), cela représente physiquement une charge capacitive de 15,2 fF 25,2 fF 45,2 fF en S1.



Comportement de la tension de sortie de l'inverseur en fonction d'un condensateur C connecté

Interprétation :

- il est très visible que le signal en sortie de l'inverseur se dégrade quand la charge capacitive augmente. Cela peut se chiffrer en mesurant les temps de montée (tr) et de descente (tf), pris entre 10 % et 90 % (soit 0,33 V et 2,97 V respectivement) :

	10 fF	20 fF	40 fF
tr	131 ps	206 ps	364 ps
tf	126 ps	201 ps	355 ps

Remarques :

- les inverseurs X2 et X3 remettent en forme le signal dégradé. Mais encore faut-il que les seuils de basculement soient atteints en S1. **Si la fréquence est trop élevée, le signal n'est plus transmis.**

- Avec la capacité C du même ordre de grandeur que les capacités CGS, CGD, il n'y a pas de loi simple entre condensateur et tPLH, tPHL, tr, tf.

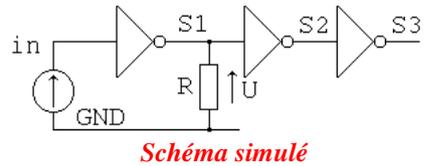
- Intéressons-nous à C = 10 fF, soit une charge capacitive de 15,2 fF. Si on double cette valeur, soit en plaçant C = 25,2 fF (et en laissant X2), on peut retrouver la même tension de sortie en doublant les W des 2 transistors de l'inverseur X1.

Cette propriété est généralisable : si les W sont affectés d'un coefficient k, alors la sortance sera affectée du même coefficient k.

1.f) Comportement selon R de sortie

Vérifions la tenue de cet inverseur de base face à une résistance connectée sur sa sortie.

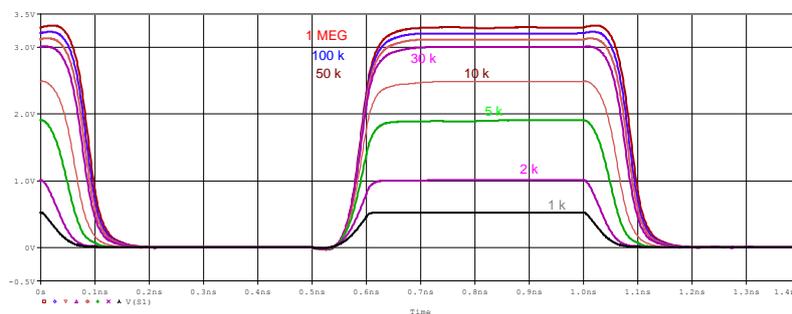
On réalise une nouvelle simulation en observant la tension de sortie de l'inverseur X1 en fonction de la valeur de R, connectée en S1. On laisse les inverseurs X2, X3.



La résistance R prend une succession de valeurs : 1 MΩ, 100 kΩ, 10 kΩ, 5 kΩ, 2 kΩ, 1 kΩ, 500 Ω.

Pour ce faire, on modifie la netliste en plaçant :

```
* circuit :
Vdd vdd 0 dc 3.3 ; alim
Vin in 0 DC 0 pulse (0 3.3 0 100p 100p 400p 1n)
X1 in S1 vdd INV1
X2 S1 S2 vdd INV1
X3 S2 S3 vdd INV1
.param R={1MEG}
R S1 0 {R}
.STEP param R list 1meg 100k 10k 5k 2k 1k 500
.OP
.TRAN 1p 1.4n 0n 1p
.PROBE
.END
```



Comportement de la tension de sortie de l'inverseur en fonction d'une résistance R de charge

Interprétation :

- On retrouve tout d'abord qu'un inverseur CMOS dimensionné pour piloter des portes logiques ne peut pas débiter sur des résistances de faible valeur. Pour 1 MΩ, ou 100 kΩ, le niveau haut reste intègre, mais pour des valeurs inférieures, le niveau se dégrade. (D'ailleurs, l'affichage de la sortie S2 montre que les niveaux de S1 pour 1 kΩ et 2 kΩ n'ont pas été reconnus, car en dessous du seuil de décision).

Le niveau bas n'est pas affecté et conserve 0 V.

- Quand la sortie est à l'état haut, le transistor canal P est en mode linéaire, et l'équation donnant I_D est :

$$I_D = \frac{K_P}{2} \frac{W}{L} \left[2(|V_{GS}| - |V_T|) |V_{DS}| - |V_{DS}|^2 \right] (1 + \lambda |V_{DS}|). \quad (\text{Modélisation de niveau 1 du transistor MOS})$$

Par exemple, pour $R = 30 \text{ k}\Omega$, le transistor P délivre un niveau haut = 3 V, stabilisé :

Paramètres du transistor P : $K_P = 50 \cdot 10^{-6}$ $\lambda = 0,04$ $|V_T| = 0,6 \text{ V}$

Les tensions sont : $|V_{GS}| = 3,3 \text{ V}$ $|V_{DS}| = 3,3 - 3 = 0,3 \text{ V}$

$$\text{On déduit : } I_D = \frac{50 \cdot 10^{-6}}{2} \frac{0,9 \cdot 10^{-6}}{0,35 \cdot 10^{-6}} \left[2(3,3 - 0,6) \times 0,3 - (0,3)^2 \right] (1 + 0,04 \times 0,3) = 99,5 \mu\text{A}$$

Valeur que confirme la simple loi d'ohm : $3 \text{ V} / 30 \text{ k}\Omega$.

- L'équation, ou la simulation, montre qu'on retrouve les mêmes tensions en U avec R divisée par un coefficient k, et les W multipliés par ce même coefficient k : le courant est k fois plus élevé.

Par exemple, on peut conserver une tension de sortie de 3 V, mais pour une résistance de charge $R = 1 \text{ k}\Omega$, le courant I_D sera de 3 mA, avec $W_P = 27 \mu\text{m}$, $W_N = 15 \mu\text{m}$. Ici, $k = 30$.

De même, toujours avec la tension de sortie de 3 V, pour une résistance de charge de 50Ω , nous aurons $I_D = 60 \text{ mA}$, soit un coefficient $k = 600$. Dans ce cas, $W_P = 540 \mu\text{m}$ et $W_N = 300 \mu\text{m}$.

2) Chaîne d'inverseurs pour débiter sur 50Ω

2.a) Etage de sortie

On peut calculer la largeur W du transistor P pour un point de fonctionnement imposée.

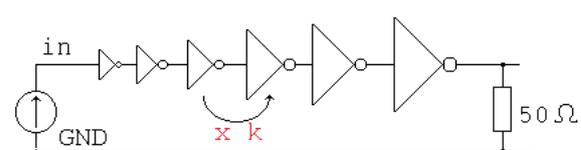
Par exemple, pour $U = 3 \text{ V}$, débitant sur 50Ω , donc $I = 60 \text{ mA}$, on a $W_P = 540 \mu\text{m}$, $W_N = 300 \mu\text{m}$.

Comme indiqué en 1d), cet inverseur présentera une capacité d'entrée 600 fois plus élevée que 5,2 fF, soit 3,12 pF. Mais selon la remarque de 1e), il faudra que l'avant dernier étage soit affecté de ce même coefficient 600 si on veut lui conserver les mêmes temps de montée et descente que l'inverseur précédent. Ce qui reporte le problème à l'identique à l'étage d'avant...

2.b) Une succession d'inverseurs

Une solution est de placer, en chaîne, des inverseurs dimensionnés avec une taille progressivement croissante.

Une stratégie de dimensionnement consiste à tailler les transistors de l'inverseur (i+1), **k** fois plus grands que ceux de l'inverseur i.



Chaîne d'inverseurs de plus en plus grands

Si on pose : - **a** le nombre d'étages connectés au premier,
- **k** le coefficient multiplicatif de taille d'un étage au suivant.

On a, au premier inverseur (celui de base) : $W_P = 0,9 \mu\text{m}$,

$W_N = 0,5 \mu\text{m}$.

Le second inverseur est : $W_P = k \times 0,9 \mu\text{m}$,

$W_N = k \times 0,5 \mu\text{m}$.

Le troisième inverseur est : $W_P = k^2 \times 0,9 \mu\text{m}$,

$W_N = k^2 \times 0,5 \mu\text{m}$.

Le dernier inverseur est : $W_P = k^a \times 0,9 \mu\text{m}$

$W_N = k^a \times 0,5 \mu\text{m}$.

(Rappel : on conserve $L = 0,35 \mu\text{m}$).

Mais l'augmentation de taille de l'étage (i+1) a pour conséquence une dégradation des transitions de l'étage i.

D'où des simulations pour avoir, le long de la chaîne, des temps de montée et de descente voisins de celui du signal d'entrée, soit 100 ps, et, en sortie, **un niveau haut égal à 3 V et un rapport cyclique de 50 %**. Dans ces conditions, le signal de départ est transmis sur la charge 50Ω de façon intègre.

Nous avons une fonction à 2 variables.

Pour les simulations, on fait varier le nombre d'inverseurs α , qui agit en paramètre principal, et on ajuste la valeur de k nécessaire pour avoir **3 V en niveau haut de sortie**. Après de nombreux runs, on obtient les résultats donnés dans le tableau 1.

Remarque : le choix d'avoir 3 V sur la résistance de sortie 50Ω est arbitraire. Mais de chercher une tension plus importante oblige de très larges dimensions sur les transistors de l'étage de sortie.

Le tableau ci-dessous montre les caractéristiques de l'onde de sortie. On indique, dans cet ordre :

- temps de montée, temps de descente pris entre 10 % et 90 % soit 0,3 et 2,7 V respectivement,
- rapport cyclique de l'onde de sortie,

	$\alpha = 3$	$\alpha = 4$	$\alpha = 5$	$\alpha = 6$	$\alpha = 7$	$\alpha = 8$	$\alpha = 9$	$\alpha = 10$	$\alpha = 11$	Surface totale μ^2	W_P inverseur de sortie (μm)
	4 inv	5 inv	6 inv	7 inv	8 inv	9 inv	10 inv	11 inv	12 inv		
$k = 1,79$									25,9 ps 23,5 ps 49,3 %	1200	544
$k = 1,9$								27 ps 24,6 ps 49,1 %		1204	551
$k = 2,04$							29,1 ps 26,8 ps 49 %			1199	550
$k = 2,23$						31,6 ps 29,1 ps 48,8 %				1211	550
$k = 2,5$					35,1 ps 32,4 ps 48,7 %					1245	549
$k = 2,92$				40,2 ps 37,2 ps 48,4 %						1348	557
$k = 3,63$			48,8 ps 45,4 ps 48,2 %							1547	567
$k = 5,06$		65,6 ps 61,7 ps 47,4 %								2025	590
$k = 9,1$	117 ps 110 ps 48,2 %									3774	678

Tableau 1 : différentes combinaisons de k et α pour avoir en sortie de la chaîne 3 V d'amplitude sur $R = 50 \Omega$.

Interprétation :

- Si le nombre d'inverseurs α est faible, il faut k élevé. Mais les capacités ramenées sont telles que les formes d'onde sont fortement dégradées au sein de la chaîne d'inverseurs. La conséquence est de ne plus avoir de commutations, ce qui se produit pour $\alpha = 1, 2$. Pour transmettre le signal $V(in)$ à 1 GHz, il faut au moins $\alpha = 3$, soit 4 inverseurs en cascade. Mais la forme d'onde obtenue en sortie présente des temps t_r et t_f perfectibles, conséquence d'une mise en forme insuffisante avec peu d'inverseurs.

- Pour une faible progression de dimension (k faible), il faut un nombre d'étages α important.

- Sur le plan de la forme d'onde, les derniers cas ($\alpha > 6$) donnent un résultat satisfaisant et similaire : la mise en forme est largement assurée avec un nombre importants d'inverseurs.

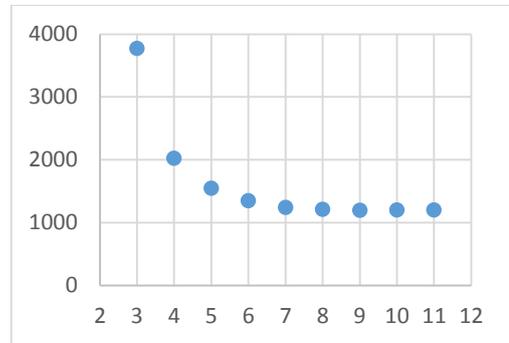
2.c) Aspect dimensionnel

➤ Intéressons-nous à la **surface** occupée par tous ces inverseurs. Simplifions le calcul de surface occupée par un transistor en nous limitant à l'espace sous la grille, soit $W \times L$. Sur un inverseur, c'est $(W_P + W_N) \times L$. On a, sur l'inverseur de base : $W_P = 0,9 \mu\text{m}$, $W_N = 0,5 \mu\text{m}$, $L = 0,35 \mu\text{m}$. Il vient une surface = $0,49 \mu^2$ que l'on pose à S. L'inverseur suivant : k S. L'inverseur d'après k^2 S. Le dernier k^α S. La surface totale est donc : $S (1 + k + k^2 + \dots + k^\alpha)$.

L'avant dernière colonne du tableau 1 donne la valeur de la surface totale, en μ^2 . On la représente ci-contre, en reportant les points, en fonction de α :

Cette courbe montre clairement que le choix d'avoir α faible, (et donc k élevé), est à éviter : bien qu'il y ait peu d'inverseurs, le circuit complet est plus grand, donc plus cher en silicium.

On remarque qu'il n'y a pas beaucoup de changement de surface totale pour $\alpha > 7$.



Surface (μ²) fonction de α

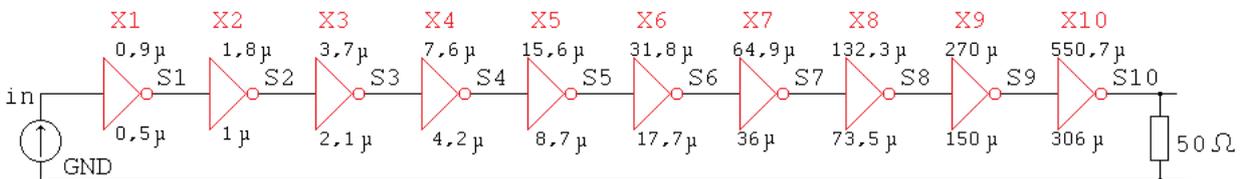
➤ Intéressons-nous à la taille du **plus grand** transistor. C'est le transistor P du dernier inverseur qui est le plus large. Sa largeur est : $W_P = k^\alpha \times 0,9 \mu\text{m}$. La dernière colonne du tableau donne la valeur numérique résultante. Sans surprise, pour une forme d'onde non dégradée ($\alpha > 7$), on est très proche de la détermination faite en 2.a) qui donnait $540 \mu\text{m}$, mais avec une simulation d'un inverseur attaqué par une source parfaite.

On n'aborde pas dans ces pages le comment faire des larges transistors (mise en parallèle, structure inter digitée). Sans considération de réalisation de layout, ces simulations montrent que le driver peut être conçu avec $\alpha = 7, 8, 9, \dots$. Etudions plus finement une chaîne d'inverseurs avec $\alpha = 9$.

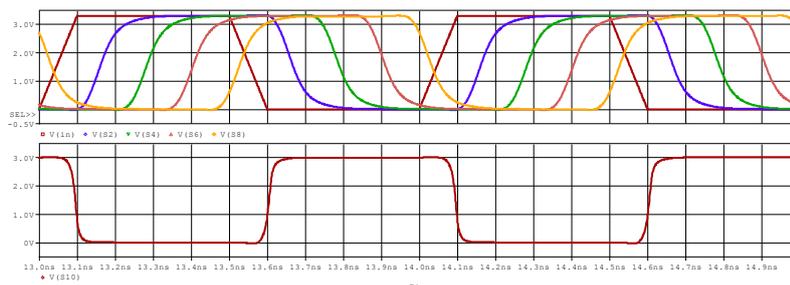
3) Chaîne à base de 10 inverseurs

3.a) Fonctionnement

Intéressons-nous à $\alpha = 9$, soit 10 inverseurs au total. C'est simulable par la version d'évaluation de Pspice. Comme déterminé précédemment, plaçons des valeurs numériques sur chaque transistor, en suivant la progression k^α , arrondi au dixième de micron. Le schéma en est :



Les 10 inverseurs, avec les W_P , W_N de chaque transistor. $L = 0,35 \mu\text{m}$.



Traces du haut : $V(in)$, $V(S2)$, $V(S4)$, $V(S6)$, $V(S8)$ Trace du bas : $V(S10)$

Interprétation :

- Pour ne pas surcharger le plot supérieur, on ne présente qu'un potentiel sur deux. Les formes d'onde internes montrent l'influence des condensateurs ramenés aux entrées sur tous les nœuds. La progression de taille des inverseurs est bien calculée : à chaque étage, même temps de montée, de descente, et très proches du signal d'entrée V(in). On perçoit très clairement le décalage temporel entre 2 inverseurs.

- En S10, présenté dans le plot inférieur, la forme d'onde sur la résistance pure de 50 Ω, est quasi carrée. Les temps de montée (29 ps) et descente (26,8ps) sont plus brefs que ceux des potentiels internes, car il n'y a pas de condensateur en parallèle avec R.

- Le temps de traversée de 10 inverseurs est $t_{pLH} = 555$ ps et $t_{pHL} = 545$ ps, pris entre 1,65 V pour V(in) et 1,5 V pour V(S10).

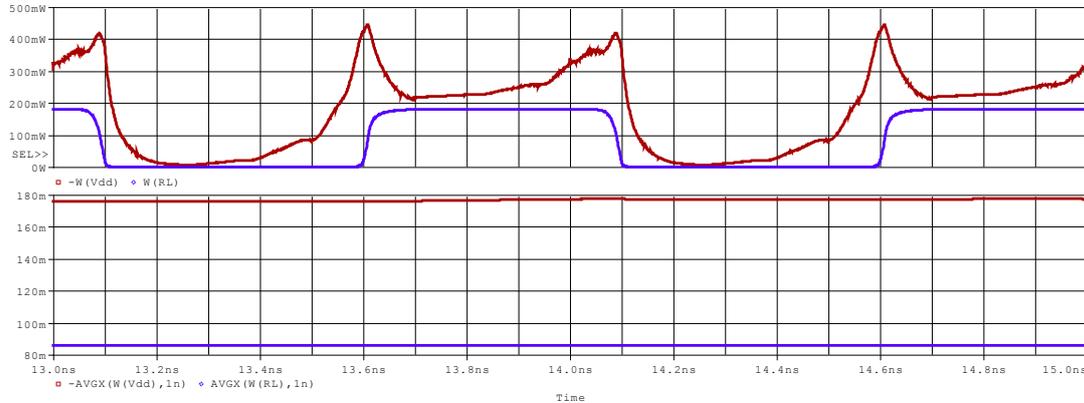
- Etudions maintenant la robustesse de ce circuit vis à vis d'un condensateur additif en parallèle avec R. Il suffit d'ajouter C entre S10 et la masse et de relancer la simulation. Nous avons obtenu :

	1 pF	2 pF	4 pF	5 pF	6 pF	8 pF	10 pF
tr	41,7 ps	54,1 ps	77,6 ps	89,1 ps	100,8 ps	124,3 ps	148,1 ps
tf	38,8 ps	49,9 ps	71,7 ps	81,4 ps	91,7 ps	112,3 ps	133,1 ps

→ Le dernier inverseur peut débiter sur un condensateur inférieur ou égal à 6 pF ($//$ 50 Ω) tout en conservant des temps de montée et de descente inférieurs ou égaux à 100 ps.

3.b) Bilan des puissances

Après simulation, on peut afficher différentes puissances instantanées. Mais c'est leur valeur moyenne [par intégration sur une (ou plusieurs) période(s)] qui donne la valeur efficace. Un critère important est la puissance totale consommée, à comparer avec la puissance délivrée dans $R_L = 50$ Ω.



Puissances instantanées et puissances efficaces : débitées par l'alimentation VDD, et dissipées dans RL

Interprétation :

Le plot supérieur montre 2 puissances instantanées :

- celle délivrée par l'alimentation : on lit clairement des intervalles de temps où elle est quasi nulle, des intervalles de temps où elle transfère la puissance dans RL, et des larges pointes (qui atteignent 400 mW), correspondant au cumul des pics de commutation des derniers inverseurs.
- celle dissipée par RL qui est l'image de sa tension U en S10.

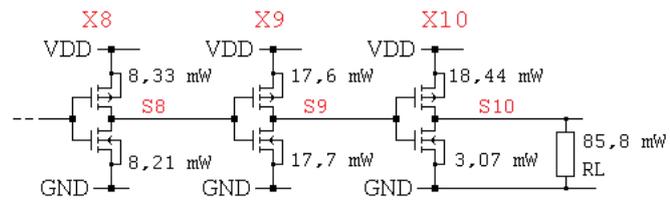
Le plot inférieur montre les puissances efficaces :

- La puissance totale, délivrée par VDD, est de 176,5 mW.
- La puissance dissipée par RL est de 85,8 mW. Cette valeur est confirmée par un simple calcul : en considérant un signal parfaitement carré, d'amplitude $U = 3$ V et de rapport cyclique de 50 %, on applique la loi de Joule : $(1/2) U^2/R$, soit 90 mW.

X Values		13.801n
-AVGX(W(Vdd),1n)		176.551m
AVGX(W(RL),1n)		85.823m
-W(Vdd)		225.786m
W(RL)		179.642m

On peut également afficher les **puissances individuelles** de chaque transistor.

Intéressons-nous aux derniers étages, et reportons leur valeur numérique :



Puissances consommées sur les derniers transistors

Interprétation :

- Le PMOS de **X10** devrait dissiper 10 fois moins que RL : pour le même courant, sa tension est 10 fois plus faible que celle aux bornes de RL. On attendrait donc 8,58 mW.

- Le NMOS de **X10** ne devrait rien dissiper, si on raisonne avec un interrupteur parfait.

→ En fait, une visualisation des courants Drain montre un chevauchement de conduction de ces 2 transistors, lors de la commutation. Ce phénomène occasionne une puissance de « court-circuit », ce qui fait augmenter la consommation.

- Observons **X9**. Il « voit » la capacité d'entrée de X10 = 3,18 pF, calculée en 2.a).

Sa charge nécessite une énergie $(1/2) C U^2$, soit $(1/2) 3,18 \cdot 10^{-12} 3,3^2 = 17,3 \text{ pJ}$.

Cette énergie est fournie durant le temps de montée (transistor P passant), que l'on estime à 100 ps. On obtient alors une puissance de 173 mW. Intégrée sur une période (1 ns), cela représente 17,3 mW efficace, fournie par l'alimentation VDD. Cette énergie est transférée dans le transistor N, durant la décharge, car le transistor P est ouvert. Cela justifie la valeur de 17,7 mW dissipée dans le NMOS. Les puissances du PMOS et NMOS sont très proches, car les tensions et courants le sont également, par demi-période.

- Refaisons le calcul pour l'inverseur précédent, **X8**, qui délivre **S8** : il « voit » 2,04 fois moins, soit 1,56 pF. La puissance sera également 2,04 fois moindre, soit 8,48 mW.

- On peut refaire le calcul de proche en proche jusqu'au premier inverseur.

Conclusion

Cette étude a montré la conception d'un driver logique de façon méthodique. La simulation apporte une aide précieuse pour l'estimation des formes d'onde, des puissances mises en jeu, des pointes de courant. Bien que la démarche adoptée soit indépendante de la technologie, il faut encore affiner cette étude avec des considérations plus techniques : dispersion des caractéristiques, comportement en température, faisabilité du layout...

La fréquence choisie de 1 GHz a permis de mieux visualiser la dégradation temporelle des signaux.

Ce montage peut évidemment fonctionner à des fréquences plus basses : à 100 MHz, avec les mêmes fronts du signal d'entrée, les formes d'onde sont moins dégradées, les temps de montée et de descente étant très faibles devant la période. La puissance dissipée par RL est quasiment 90 mW, et, le phénomène de court-circuit étant relativement plus bref, la consommation du circuit (20 transistors) tombe à 113,6 mW.

Annexe 1 : Tension de seuil de basculement d'un inverseur CMOS

Rappel :

K_N , ($= \mu_N C_{ox}$) , K_P ($= \mu_P C_{ox}$) : gains des transistors canal N, P respectivement, donnés dans le modèle des transistors.

W_N , L_N et W_P , L_P : largeurs longueurs des transistors canal N, P respectivement, données par le schéma.

On pose un coefficient $\beta = \sqrt{\frac{K_N}{K_P} \frac{W_N}{W_P} \frac{L_P}{L_N}}$, sans dimension.

Le **seuil** de basculement d'un inverseur CMOS peut s'écrire : $V_S = \frac{V_{DD} + \beta V_{TN} - |V_{TP}|}{1 + \beta}$,

où V_{TN} , V_{TP} sont les seuils de tension en V_{GS} pour lesquels les transistors deviennent passant, valeurs données dans le modèle des transistors.

Remarques :

- Cette équation montre que $V_{TN} < V_S < V_{DD} - |V_{TP}|$, pour β allant de l'infini à 0 respectivement.
- Pour une meilleure immunité aux bruits, on cherche à fabriquer des inverseurs à $V_S = V_{DD}/2$.
- K_N , K_P sont imposés par la technologie. Le réglage de V_S peut être obtenu par un choix judicieux des dimensions (W/L de chaque transistor) pour contrebalancer le fait que K_P soit différent de K_N . Si les V_T des transistors P et N sont identiques en valeur absolue, une valeur de $\beta = 1$ permet ce résultat. Néanmoins, il est fréquent de s'éloigner quelque peu de cette démarche, car il faut également tenir compte du comportement dynamique de l'inverseur : les mobilités des transistors P et N étant différentes, on a alors t_{pLH} différent de t_{pHL} . On peut donc améliorer l'aspect dynamique au détriment de l'aspect statique.

Annexe 2 : netliste pour le schéma à 10 inverseurs

```

chaîne d'inverseurs pour piloter R = 50 ohm
* fichier driver50.cir

.model MODN nmos (Level=1 Kp=90u Vto=0.5
Cgdo=.3n Cgso=2.8n lambda=0.02 L=0.35u)
.model MODP pmos (Level=1 Kp=50u Vto=-0.6
Cgdo=.3n Cgso=2.8n lambda=0.04 L=0.35u)

.subckt INV1 in out vdd ; inverseur de base
Mp out in vdd vdd MODP W=0.9u
Mn out in 0 0 MODN W=0.5u
.ends

.subckt INV2 in out vdd
Mp out in vdd vdd MODP W=1.8u
Mn out in 0 0 MODN W=1u
.ends

.subckt INV3 in out vdd
Mp out in vdd vdd MODP W=3.7u
Mn out in 0 0 MODN W=2.1u
.ends

.subckt INV4 in out vdd
Mp out in vdd vdd MODP W=7.6u
Mn out in 0 0 MODN W=4.2u
.ends

.subckt INV5 in out vdd
Mp out in vdd vdd MODP W=15.6u
Mn out in 0 0 MODN W=8.7u
.ends

.subckt INV6 in out vdd
Mp out in vdd vdd MODP W=31.8u
Mn out in 0 0 MODN W=17.7u
.ends

.subckt INV7 in out vdd
Mp out in vdd vdd MODP W=64.9u
Mn out in 0 0 MODN W=36u
.ends

.subckt INV8 in out vdd
Mp out in vdd vdd MODP W=132.3u
Mn out in 0 0 MODN W=73.5u
.ends

.subckt INV9 in out vdd
Mp out in vdd vdd MODP W=270u
Mn out in 0 0 MODN W=150u
.ends

.subckt INV10 in out vdd
Mp out in vdd vdd MODP W=550.7u
Mn out in 0 0 MODN W=306u
.ends

* circuit :
Vdd vdd 0 dc 3.3 ; alim
Vin in 0 DC 0 pulse (0 3.3 0 100p 100p 0.4n 1n)
X1 in S1 vdd INV1
X2 S1 S2 vdd INV2
X3 S2 S3 vdd INV3
X4 S3 S4 vdd INV4
X5 S4 S5 vdd INV5
X6 S5 S6 vdd INV6
X7 S6 S7 vdd INV7
X8 S7 S8 vdd INV8
X9 S8 S9 vdd INV9
X10 S9 S10 vdd INV10

RL S10 0 50
*CL S10 0 3p

* sources permettant de mesurer tr tf sur S10
*Ecomp1 2 0 table {10000*(V(S10)-0.3)} (0 0 1 1)
* passe à 1 si V(S10) > 0.3

*Ecomp2 3 0 table {10000*(V(S10)-2.7)} (0 0 1 1)
* passe à 1 si V(S10) > 2.7

*Edelay 4 0 table {10000*(V(2)-V(3))} (0 0 1.65 1.65)
* V(4) est à 1 pendant tr et tf

*Ecomp3 5 0 table {10000*(V(S10)-1.5)} (0 0 1 1)
* passe à 1 si V(S10) > 1.5

.TRAN 1p 15n 10n 1p
.PROBE
.END

```

Netliste, prête à simuler

Remarque : pour éviter des nombreuses manipulations de souris pour lire des temps sur les courbes, il a été utilisé un procédé : par des sources de tension commandée par une tension, on génère des créneaux dont la durée représente une grandeur intéressante. Il suffit ensuite d'afficher la durée par la fonction Pulsewidth sous le menu « Evaluate Measurement ». Par exemple, la durée de V(4) est tr et tf.

Annexe 3 : extrait de netliste pour le schéma à inverseurs de plus en plus grand

```

.param Wp={0.9u} ; valeur par défaut inverseur
.param Wn={0.5u} ; valeur par défaut inverseur
.param k=1.0 ; coef de dimension inter étage

.subckt INV1 in out vdd ; inverseur de base
Mp out in vdd vdd MODP W={Wp}
Mn out in 0 0 MODN W={Wn}
.ends

.subckt INV2 in out vdd ; k
Mp out in vdd vdd MODP W={k*Wp}
Mn out in 0 0 MODN W={k*Wn}
.ends

.subckt INV3 in out vdd ; k^2
Mp out in vdd vdd MODP W={k*k*Wp}
Mn out in 0 0 MODN W={k*k*Wn}
.ends

.subckt INV4 in out vdd ; k^3
Mp out in vdd vdd MODP W={k*k*k*Wp}
Mn out in 0 0 MODN W={k*k*k*Wn}
.ends

.subckt INV5 in out vdd ; k^4
Mp out in vdd vdd MODP W={k*k*k*k*Wp}
Mn out in 0 0 MODN W={k*k*k*k*Wn}
.ends

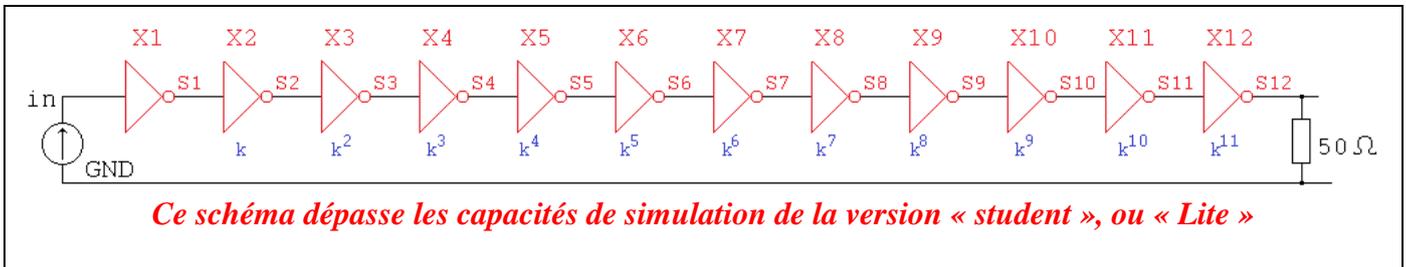
```

Remarque : les inverseurs sont ainsi dimensionnés en suivant la loi k^α . La valeur numérique de k est placée en ligne .PARAM. Dans l'article, on a été jusqu'à $\alpha = 11$. Le reste de la netliste est inchangée.

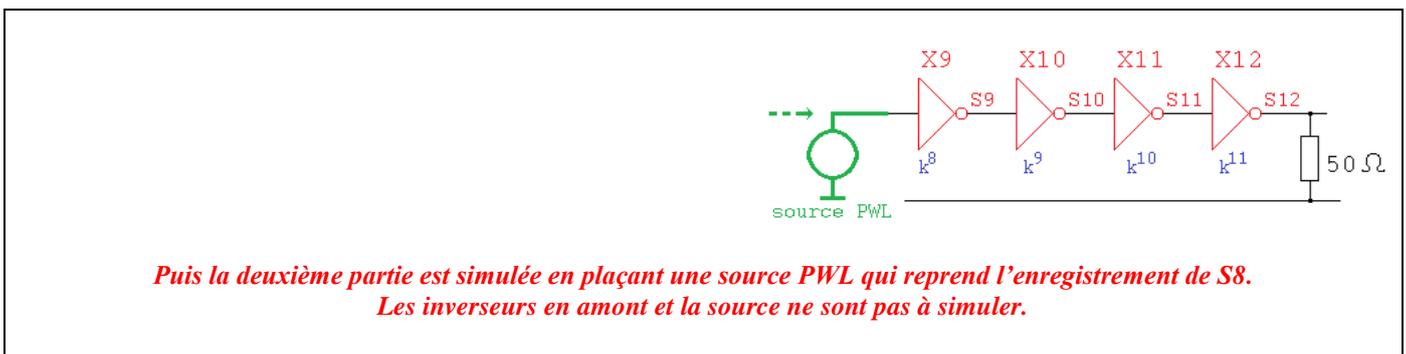
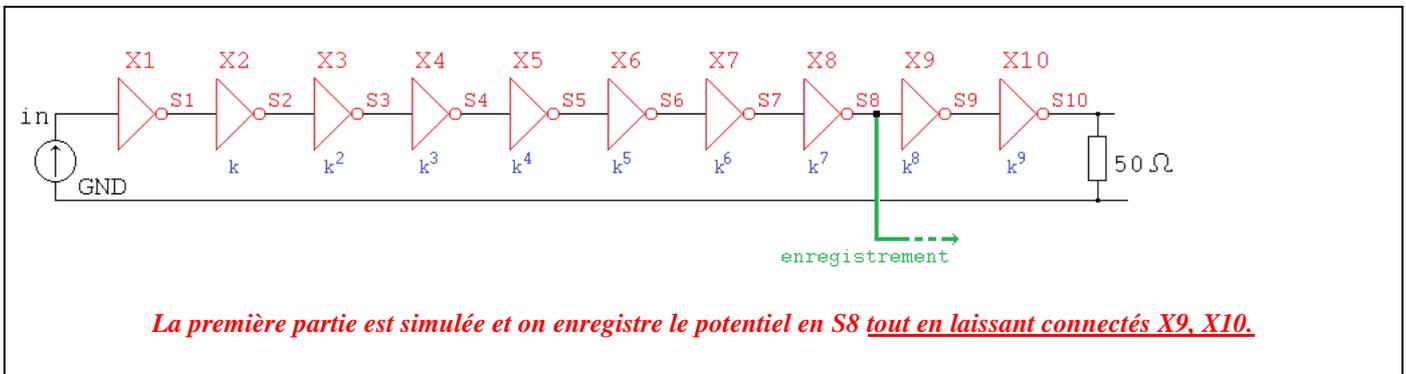
Annexe 4 : Comment simuler 22, 24 transistors avec la version Lite de Pspice

Le procédé, ainsi que ses limites, sont largement commentés dans l'[article 74](#).

Le principe est le suivant :



On procède en 2 étapes :



articles 1 à 43 : sur le livre

Tableau récapitulatif des articles PDF disponibles sur ce site

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	présentation	document PDF
44	Exemples basiques et des exercices...	présentation	document PDF
45	Un exemple de circuit passif	présentation	document PDF
46	Un oscillateur Colpitts	présentation	document PDF
47	Compensation en fréquence des amplificateurs opérationnels	présentation	document PDF
48	Un amplificateur à transistors bipolaires	présentation	document PDF
49	Une bascule D Flip Flop CMOS	présentation	document PDF
50	Une porte XOR à transistors MOS	présentation	document PDF
51	Un VCO à 12 transistors MOS	présentation	document PDF
52	Une PLL à moins de 20 transistors MOS	présentation	document PDF
53	Un oscillateur à résistance négative	présentation	document PDF
54	Une charge électronique	présentation	document PDF
55	Un amplificateur en classe C	présentation	document PDF
56	Le monostable 74 123	présentation	document PDF
57	Un amplificateur en classe D	présentation	document PDF
58	Le transformateur en linéaire	présentation	document PDF
59	La loi d'ohm thermique	présentation	document PDF
60	Le transformateur en non linéaire	présentation	document PDF
61	Robustesse d'un oscillateur en anneau	présentation	document PDF
62	Une alimentation stabilisée	présentation	document PDF
63	Modélisation d'un haut-parleur	présentation	document PDF
64	Un synthétiseur de fréquence	présentation	document PDF
65	Un ampli audio de Sparkfun	présentation	document PDF
66	Simulation logique et analogique	présentation	document PDF
67	Un oscillateur à relaxation	présentation	document PDF
68	Lecteur de TAG RFID 125 kHz	présentation	document PDF
69	Diagramme de l'œil avec Pspice	présentation	document PDF
70	Un amplificateur hautes fréquences	présentation	document PDF
71	Une bizarrerie enfin expliquée...	présentation	document PDF
72	Comprendre le paramétrage de la FFT	présentation	document PDF
73	La relation de Bennett	présentation	document PDF
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	présentation	document PDF
75	Une horloge biphasé sans recouvrement	présentation	document PDF
76	Quelques simulations sur la diode	présentation	document PDF
77	Un ampli classe A, avec transformateur de sortie	présentation	document PDF
78	Des stimuli pour PSpice	présentation	document PDF
79	Simuler le TL431 : zener ajustable	présentation	document PDF
80	Un ADC flash	présentation	document PDF
81	Une chaîne d'acquisition : S&H, ADC, DAC	présentation	document PDF
82	Un amplificateur 50 MHz	présentation	document PDF
83	Un dérivateur non inverseur	présentation	document PDF
84	Un amplificateur bipolaire avec push pull CMOS	présentation	document PDF
85	Rôle des répéteurs logiques dans un circuit intégré	présentation	document PDF
86	Un driver logique CMOS pour charge 50 ohms	présentation	document PDF
87	Des triggers de Schmitt et des applications	présentation	document PDF
88	Un filtre gaussien analogique	présentation	document PDF
89	Un générateur de bruit rose	présentation	document PDF

90	Un anémomètre à fil chaud : simulation comportementale	présentation	document PDF
91	Un oscillateur à pont de Wien stabilisé par CTN	présentation	document PDF
92	L'emballement thermique d'une diode	présentation	document PDF
93	Les puissances dans un amplificateur	présentation	document PDF
94	Asservissement de puissance dans une résistance	présentation	document PDF
95	Asservissement de la puissance émise par une antenne radio	présentation	document PDF
96	Un driver de LED de puissance	présentation	document PDF
97	Exploiter Pspice pour simuler des filtres numériques	présentation	document PDF
98	Un filtre en cosinus surélevé avec Pspice	présentation	document PDF
99	Effet de la température sur un amplificateur en classe A	présentation	document PDF
100	Un amplificateur à transistors JFET et bipolaires	présentation	document PDF
Supplément, hors article :			
mon cours « Electronique pour les communications numériques », polycopié couleur 201 pages en pdf			

[retour à l'écran d'accueil de ce site](#)