

Simulation d'une bascule D Flip Flop CMOS

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet :

[page d'accueil](#)

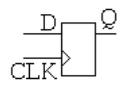
d'autres pdf, sur différents sujets :

[liste des PDF](#)

Ce document montre le fonctionnement et le non fonctionnement d'une bascule DFF. Pour expliquer la notion de violation de temps, on descend au niveau transistor. Bien qu'on ne modélise pas finement les transistors d'un process de fabrication particulier, les courbes et valeurs numériques sont cohérentes avec la pratique.

1) Principe de la bascule DFF

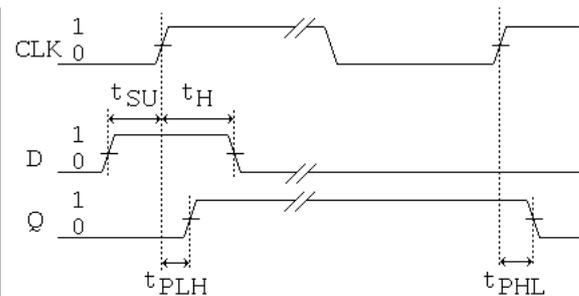
Une bascule D est un opérateur de logique séquentielle. Elle dispose de 2 entrées : D (Data) et CLK (CLOCK, horloge), et une (ou deux) sortie(s) : Q (et Q', Q complémentée).



Il existe la "D Flip-Flop", dont le fonctionnement peut se résumer à : Q est la recopie de D au front montant de CLK. C'est donc une fonction mémoire, car après le front montant de CLK, l'état logique en Q est maintenu, jusqu'au front montant suivant.

Les "datasheet" des bascules D montrent usuellement 2 temps typiques pour garantir le fonctionnement à la bascule D :

- la donnée doit être présente au moins temps t_{SU} (set up) avant le front actif (ici montant), et doit être maintenue au moins un temps t_H (hold) après ce front.
- Dans ce cas, après le front actif de CLK, la sortie Q met un temps t_{PLH} pour transmettre le niveau haut et t_{PHL} pour transmettre le niveau bas.



Temps typiques

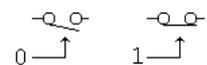
Dans ce fonctionnement, le front descendant est sans effet, et peut être placé n'importe quand, à conditions de laisser t_w , la largeur minimale de CLK à l'état haut.

Les temps t_{SU} et t_H sont donnés positifs s'ils sont comme sur la figure.

Il existe de nombreux schémas de la bascule DFF. En technologie CMOS, le plus populaire est celui qui fait appel à 2 éléments :

- Des **interrupteurs électroniques**.

À l'aide de transistors MOS commandés, il est possible de réaliser la fonction "interrupteur". Une entrée de commande permet de fermer le circuit (interrupteur passant) par un 1, ou l'ouvrir (interrupteur bloqué) par un 0.

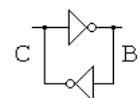


interrupteur

Par une inversion de ce même signal de commande, on peut avoir également l'interrupteur fermé pour une commande à l'état 0 et réciproquement. Dans la DFF, c'est l'entrée CLK qui actionne les interrupteurs.

- Des **éléments mémoire** à base de 2 inverseurs reboclés.

Le schéma logique de cet élément mémoire montre qu'un niveau logique placé en C est inversé sur la sortie B ce qui confirme le niveau d'entrée en C : une fois placé, un état reste figé.

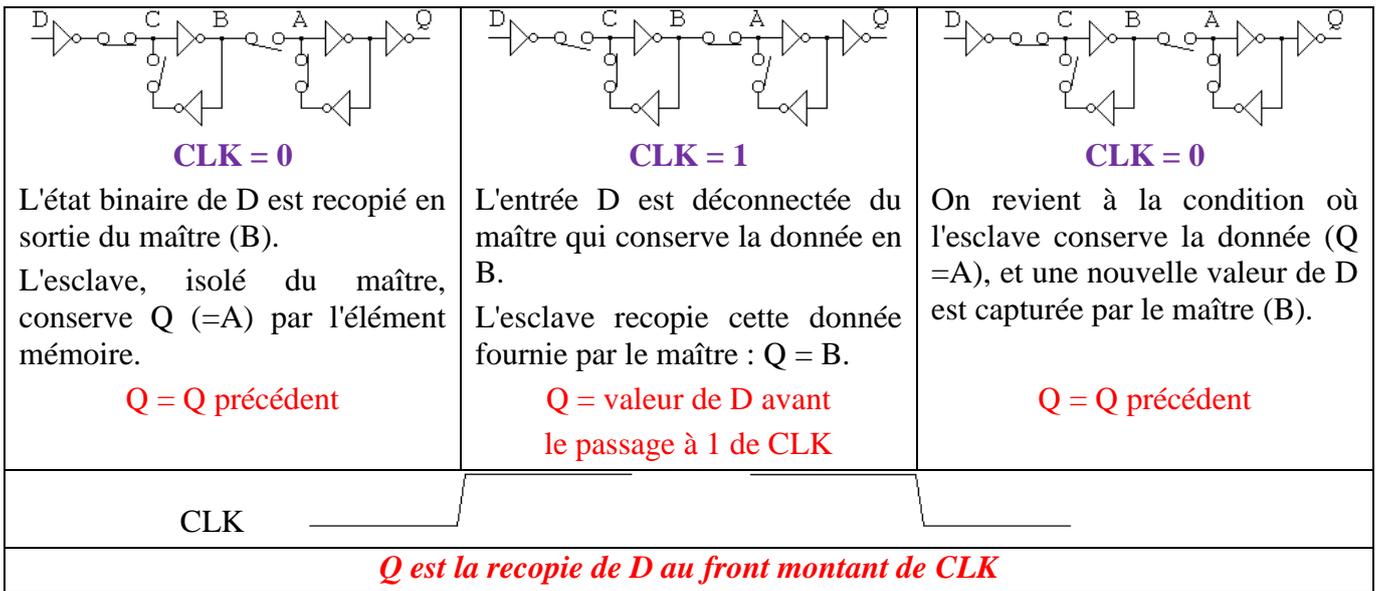


Mémoire 1 bit

Dans la structure "maître esclave", le maître est formé d'un premier élément mémoire, l'esclave d'un deuxième.

Fonctionnement de la DFF

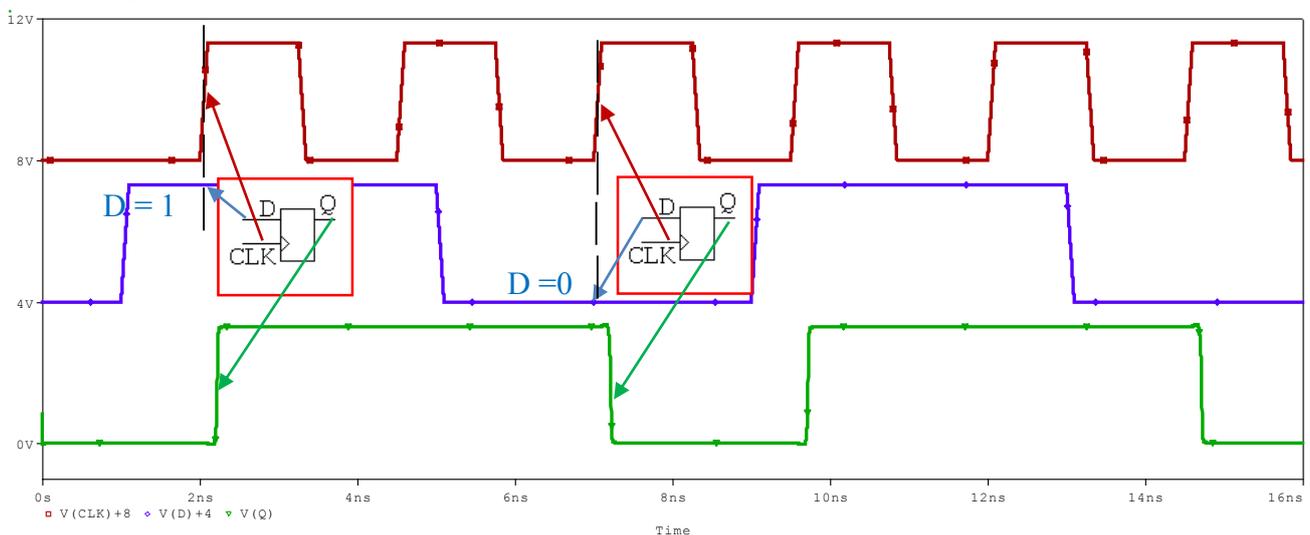
Le fonctionnement d'une DFF, à structure "maître esclave" peut s'expliquer par les croquis suivants :



2) Simulation d'un cas typique

a) Cas typique

À l'aide de l'outil Pspice, on analyse la bascule D, dans les conditions "normales" : la donnée D est positionnée "bien avant" le front montant de CLK, puis modifiée "bien après", et l'on vérifie le fonctionnement. Pour être réaliste, les transitions sur les entrées D et CLK ne sont pas instantanées, mais durent 100 ps.

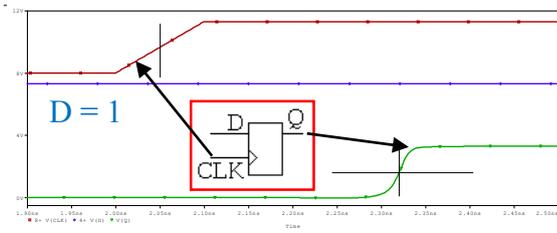


Q est la recopie de D au front montant de CLK
Les courbes sont décalées verticalement pour une meilleure lisibilité

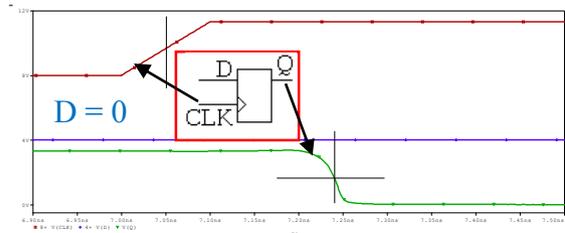
Interprétation

Trace supérieure CLK, horloge à 400 MHz. Les fronts ont une durée de 100 ps.
Trace intermédiaire : l'entrée D qui change d'état, mais en dehors des transitions de CLK
On vérifie que Q est la recopie de D au front montant de CLK.

Par un zoom lors des changements d'état de Q, mesurons t_{pLH} et t_{pHL} :



Zoom pour mesurer t_{PLH} : 271 ps

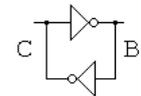


Zoom pour mesurer t_{PHL} : 190 ps

b) Simulation de la violation de tsu.

En examinant le tableau expliquant le fonctionnement, on lit qu'à $CLK = 0$, C recopie D, et que B reproduit C. Mais supposons que le passage au niveau haut de CLK arrive trop tôt, vis-à-vis de la donnée D qui est encore en train de transiter. L'interrupteur relié à C s'ouvre, isolant le maître sur une donnée non encore stabilisée.

Le maître est alors constitué de 2 inverseurs rebouclés, avec une information qui n'est pas un état logique, mais une valeur analogique, qui peut être proche de $V_{DD}/2 = 1,65\text{ V}$, c'est-à-dire dans la zone d'incertitude des inverseurs. C'est un état métastable, qui finit fatalement, au bout d'un certain temps, par se stabiliser sur $C = 0\text{ V}$ et $B = 3,3\text{ V}$, ou $C = 3,3\text{ V}$ et $B = 0\text{ V}$, de façon non déterministe, car liée au bruit ambiant, aux conditions initiales etc.



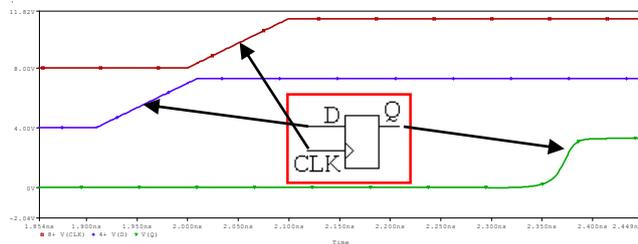
Potentiels de C et B dans la zone d'incertitude

L'esclave recopiant la sortie du maître, on aura en sortie Q, une valeur qui elle aussi mettra un certain temps à se stabiliser.

Reprenons la simulation, et observons ce phénomène sur 2 exemples.

- Choisissons le fonctionnement de la DFF pour $D = 1$. Retardons la montée de D de façon à ce qu'elle n'arrive que 90 ps avant la montée de CLK.

CLK arrive 90 ps après D (mesuré à la traversée de 50 %). La sortie Q passe à 1 après **321 ps**, soit un temps supérieur à ce qu'on avait en typique (271 ps)

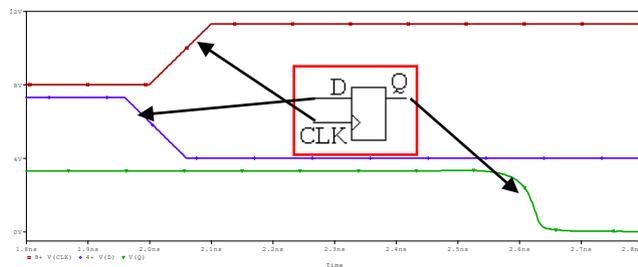


D passe à 1, mais juste en avant le front actif de CLK :
Conséquence : Q passe à 1 en retard

La cause intime se visualise sur le potentiel en B (mémoire 1 bit du maître) qui montre une valeur qui croît lentement vers son niveau haut ce qui explique le retard pris par Q pour passer à 1.

- Choisissons le fonctionnement de la DFF pour $D = 0$. Retardons la montée de D de façon à ce qu'elle n'arrive que 40 ps avant la montée de CLK.

CLK arrive 40 ps après D (mesuré à la traversée de 50 %). La sortie Q passe à 1 après **570 ps**, soit un temps supérieur à ce qu'on avait en typique (190 ps).



D passe à 0, mais juste en avant le front actif de CLK :
Conséquence : Q passe à 0 en retard

Egalement, l'explication se voit sur le potentiel en B qui montre une valeur qui descend lentement vers son niveau bas ce qui explique le retard pris par Q pour passer à 0.

En résumé, si on ne respecte pas un temps minimal appelé tsu, alors la sortie Q bascule après un temps bien supérieur à t_{PLH} (si Q doit passer à 1) ou bien supérieur à t_{PHL} (si Q doit passer à 0), ou ne bascule pas du tout (il faudra attendre le front actif suivant de CLK).

c) Simulation de la violation de t_H .

De même, si l'état logique de D change trop tôt **après** le front montant de CLK, le tableau 1 indique que le maître va capturer une information qui était en train de quitter sa valeur. On se retrouve dans le cas où le maître fait l'acquisition d'une grandeur intermédiaire, et est dans un état métastable.

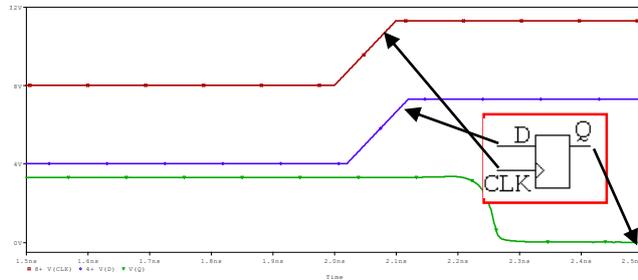
Reprenons la simulation, et observons ce phénomène sur 2 exemples.

- Choisissons le fonctionnement de la DFF pour $D = 0$. Prenons comme condition initiale $Q = 1$. Après le front montant de CLK, la sortie Q doit passer à 0.

Ici, D est à l'état bas, mais passe à l'état haut 20 ps après la montée de CLK (temps pris à la traversée de $V_{DD}/2$).

Dans ce cas, Q passe à l'état bas **203 ps** après CLK.

On se trouve alors en "violation de temps de hold".

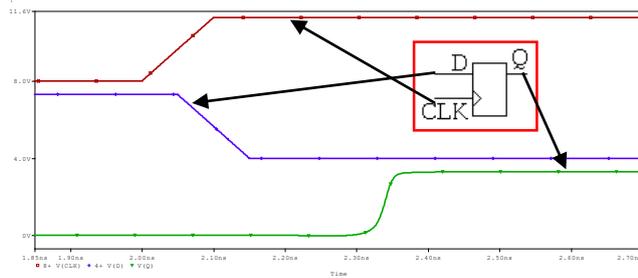


*D change d'état juste après CLK
Conséquence : Q passe à 0 en retard*

- Choisissons le fonctionnement de la DFF pour $D = 1$. Prenons comme condition initiale $Q = 0$. Après le front montant de CLK, la sortie Q doit passer à 1.

Ici, D est à l'état haut, mais retombe à l'état bas 50 ps après la montée de CLK (temps pris à la traversée de $V_{DD}/2$).

Dans ce cas, Q passe à l'état haut mais **288 ps** après CLK



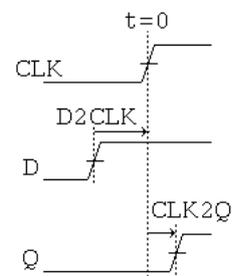
*D change d'état juste après CLK
Conséquence : Q passe à 1 en retard*

En résumé, si on ne respecte pas t_H , alors la sortie Q bascule après un temps bien supérieur à t_{PLH} (si Q doit passer à 1) ou après un temps bien supérieur à t_{PHL} (si Q doit passer à 0), ou ne bascule pas du tout (le front de CLK a "raté" la donnée D).

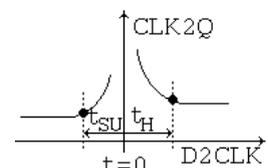
Conclusion

Les simulations ont montré qu'il faut respecter des intervalles de temps entre D et CLK pour avoir un fonctionnement normal de la bascule DFF. Sans cette précaution, la sortie Q se présente après un délai inconnu, ou ne commute pas du tout.

Pour récapituler ces phénomènes, on définit 2 temps, repérés au milieu des transitions (montantes ou descendantes sur D ou Q, montantes sur CLK) : D2CLK (lire "D to Clock") et CLK2Q (lire "Clock to Q")



Dès que le temps CLK2Q commence à se dégrader, c'est que D2CLK est trop petit : on utilise la bascule DFF à la limite du mauvais fonctionnement à cause de la métastabilité. C'est là que l'on retrouve les valeurs de t_{SU} et t_H .



```
Bascule DFF
* schéma à transistors CMOS bascule D
* fichier DFF.cir
* circuit :

.model MODN nmos (Level=1 Kp=90u Vto=0.6 Cgdo=.3n Cgso=2.8n lambda=0.02 )
.model MODP pmos (Level=1 Kp=25u Vto=-0.8 Cgdo=.3n Cgso=2.8n lambda=0.04 )

.subckt INVCMOS in out Vdd
Mp out in Vdd Vdd MODP W=1.6u L=0.35u ; DGSB
Mn out in 0 0 MODN W=1u L=0.35u ; DGSB
.ends

.subckt INTER en ep in out Vdd
MP1 out ep in Vdd MODP W=1u L=0.35u ; DGSB
MN1 out en in 0 MODN W=1u L=0.35u ;DGSB
.ends

Vdd vdd 0 DC 3.3 ; alim digitale
*
.param D_r=100p ; rise D
.param CLK_r=100p ; rise CLK

.param D_f=100p ; fall D
.param CLK_f=100p ; fall CLK

.param PER_D=8n ; periode D
.param PER_CLK=2.5n ; periode CLK (400 MHz)

.param TWIDH_D={0.5*PER_D - D_r} ; astuce pour avoir
.param TWIDH_CLK={0.5*PER_CLK - CLK_r} ; 50 % de rapport cyclique
*
* signaux CLOCK et CLOCKBAR figés :
VCLK CLK 0 pulse (0 3.3 2n {CLK_r} {CLK_f} {TWIDH_CLK} {PER_CLK}) ;
VCLKB CLKB 0 pulse (3.3 0 2.12n {CLK_r} {CLK_f} {TWIDH_CLK} {PER_CLK}) ;

* typique : 5 lignes à valider
.param ret=1n ; retard pour décaler D
Vin D 0 pulse (0 3.3 {ret} {D_r} {D_f} {TWIDH_D} {PER_D})
.IC V(A)=0 V(QI)=0 V(Q)=0 ; A = QI = Q = 0
.IC V(QNI)=3.3 V(QN)=3.3 ; QNI=QN = 1
.TRAN 1ps 16ns 0ns 1ps UIC ;

* violation de setup : on loupe presque le "1": 5 lignes à valider
.param ret=1.91n ; D passe à 1 90 ps avant CLK
*Vin D 0 pulse (0 3.3 {ret} {D_r} {D_f} {TWIDH_D} {PER_D}) ;
*.IC V(A)=0 V(QI)=0 V(Q)=0 ; A = QI = Q =0
*.IC V(QNI)=3.3 V(QN)=3.3 ; QNI=QN = 1
*.TRAN 1ps 5ns 0ns 1ps UIC ;

* violation de setup : on loupe presque le "0": 5 lignes à valider
.param ret=1.96n ; D passe à 0 40 ps avant CLK
*Vin D 0 pulse (3.3 0 {ret} {D_r} {D_f} {TWIDH_D} {PER_D}) ;
*.IC V(A)=3.3 V(QI)=3.3 V(Q)=3.3 ; A = QI = Q =1
*.IC V(QNI)=0 V(QN)=0 ; QNI=QN = 0
*.TRAN 1ps 5ns 0ns 1ps UIC ;

* violation de hold on lit 0 in extremis 5 lignes à valider
.param ret=2.02n ; D passe à 1 20 ps après CLK
*Vin D 0 pulse (0 3.3 {ret} {D_r} {D_f} {TWIDH_D} {PER_D}) ;
*.IC V(A)=3.3 V(QI)=3.3 V(Q)=3.3 ; A = QI = Q = 1
*.IC V(QNI)=0 V(QN)=0 ; QNI=QN = 0
*.TRAN 1ps 8ns 0ns 1ps UIC ;

* violation de hold on lit 1 in extremis 5 lignes à valider
.param ret=2.05n ; D passe à 0 50 ps après CLK
*Vin D 0 pulse (3.3 0 {ret} {D_r} {D_f} {TWIDH_D} {PER_D}) ;
*.IC V(A)=0 V(QI)=0 V(Q)=0 ; A = QI = Q = 0
*.IC V(QNI)=3.3 V(QN)=3.3 ; QNI=QN = 1
*.TRAN 1ps 8ns 0ns 1ps UIC ;

X1 D DB Vdd INVCMOS
X2 CLKB CLK DB C Vdd INTER
```

```
X3 C B Vdd INVMOS
X4 B Y Vdd INVMOS

X5 CLK CLKB B A Vdd INTER
X6 CLKB CLK QI A Vdd INTER

X7 A QNI Vdd INVMOS
X8 QNI QI Vdd INVMOS

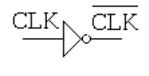
X9 QNI Q Vdd INVMOS
X10 QI QN Vdd INVMOS

.PROBE
.END
```

Netlist, prête à simuler

Explications

CLKBAR est décalé de 120 ps par rapport à CLK pour tenir compte qu'en pratique, il y a un inverseur chargé par de nombreuses portes.



Le circuit totalise 20 transistors : on est à la limite de la version d'eval.

articles 1 à 43 : sur le livre

Tableau récapitulatif des articles PDF disponibles sur ce site

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	présentation	document PDF
44	Exemples basiques et des exercices...	présentation	document PDF
45	Un exemple de circuit passif	présentation	document PDF
46	Un oscillateur Colpitts	présentation	document PDF
47	Compensation en fréquence des amplificateurs opérationnels	présentation	document PDF
48	Un amplificateur à transistors bipolaires	présentation	document PDF
49	Une bascule D Flip Flop CMOS	présentation	document PDF
50	Une porte XOR à transistors MOS	présentation	document PDF
51	Un VCO à 12 transistors MOS	présentation	document PDF
52	Une PLL à moins de 20 transistors MOS	présentation	document PDF
53	Un oscillateur à résistance négative	présentation	document PDF
54	Une charge électronique	présentation	document PDF
55	Un amplificateur en classe C	présentation	document PDF
56	Le monostable 74 123	présentation	document PDF
57	Un amplificateur en classe D	présentation	document PDF
58	Le transformateur en linéaire	présentation	document PDF
59	La loi d'ohm thermique	présentation	document PDF
60	Le transformateur en non linéaire	présentation	document PDF
61	Robustesse d'un oscillateur en anneau	présentation	document PDF
62	Une alimentation stabilisée	présentation	document PDF
63	Modélisation d'un haut-parleur	présentation	document PDF
64	Un synthétiseur de fréquence	présentation	document PDF
65	Un ampli audio de Sparkfun	présentation	document PDF
66	Simulation logique et analogique	présentation	document PDF
67	Un oscillateur à relaxation	présentation	document PDF
68	Lecteur de TAG RFID 125 kHz	présentation	document PDF
69	Diagramme de l'œil avec Pspice	présentation	document PDF
70	Un amplificateur hautes fréquences	présentation	document PDF
71	Une bizarrerie enfin expliquée...	présentation	document PDF
72	Comprendre le paramétrage de la FFT	présentation	document PDF
73	La relation de Bennett	présentation	document PDF
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	présentation	document PDF
75	Une horloge biphasé sans recouvrement	présentation	document PDF
76	Quelques simulations sur la diode	présentation	document PDF
77	Un ampli classe A, avec transformateur de sortie	présentation	document PDF
78	Des stimuli pour PSpice	présentation	document PDF
79	Simuler le TL431 : zener ajustable	présentation	document PDF
80	Un ADC flash	présentation	document PDF
81	Une chaîne d'acquisition : S&H, ADC, DAC	présentation	document PDF
82	Un amplificateur 50 MHz	présentation	document PDF
83	Un dérivateur non inverseur	présentation	document PDF
84	Un amplificateur bipolaire avec push pull CMOS	présentation	document PDF
85	Rôle des répéteurs logiques dans un circuit intégré	présentation	document PDF
86	Un driver logique CMOS pour charge 50 ohms	présentation	document PDF
87	Des triggers de Schmitt et des applications	présentation	document PDF
88	Un filtre gaussien analogique	présentation	document PDF
89	Un générateur de bruit rose	présentation	document PDF

90	Un anémomètre à fil chaud : simulation comportementale	présentation	document PDF
91	Un oscillateur à pont de Wien stabilisé par CTN	présentation	document PDF
92	L'emballement thermique d'une diode	présentation	document PDF
93	Les puissances dans un amplificateur	présentation	document PDF
94	Asservissement de puissance dans une résistance	présentation	document PDF
95	Asservissement de la puissance émise par une antenne radio	présentation	document PDF
96	Un driver de LED de puissance	présentation	document PDF
97	Exploiter Pspice pour simuler des filtres numériques	présentation	document PDF
98	Un filtre en cosinus surélevé avec Pspice	présentation	document PDF
99	Effet de la température sur un amplificateur en classe A	présentation	document PDF
100	Un amplificateur à transistors JFET et bipolaires	présentation	document PDF
Supplément, hors article :			
mon cours « Electronique pour les communications numériques », polycopié couleur 201 pages en pdf			

[retour à l'écran d'accueil de ce site](#)