

## Simuler un circuit à 32 transistors avec Pspice d'évaluation : Exemple avec une bascule RS sur front

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet :

[page d'accueil](#)

d'autres pdf, sur différents sujets :

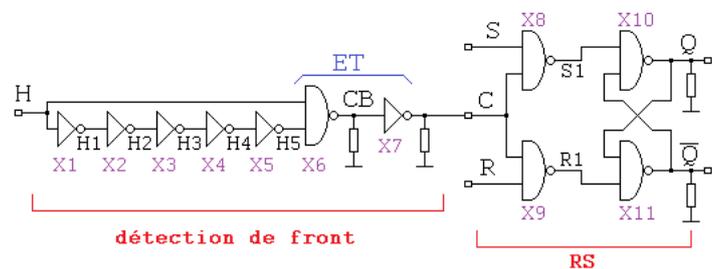
[liste des PDF](#)

La version d'évaluation de Pspice est bridée à des circuits de moins de 20 transistors. C'est suffisant pour analyser des schémas proposés dans l'enseignement de l'électronique. Cet article montre néanmoins comment simuler l'analyse transitoire d'un circuit (ici, logique) à 32 transistors, avec la version d'évaluation...

### 1) Le montage : bascule RS sur front, étude comportementale

#### 1.a) Présentation

On dispose d'une horloge H.  
Un montage crée, en C, une impulsion positive à chaque front montant de H.  
Durant cette courte durée de C, la bascule RS délivre l'information en Q.  
Après l'impulsion, Q reste à l'état mémoire.



*Le montage est clairement scindé en 2 parties*

Pour afficher les potentiels pertinents sur un « plot » analogique, il a été placé des résistances de pull down de 100 kΩ, qui n'influent pas sur le fonctionnement.

#### 1.b) Simulation à Portes CD4000

Il s'agit d'une simulation comportementale, avec des macro modèles pour définir les opérateurs logiques (table de vérité, temps associés, et interface entrée sortie pour liaison avec l'analogique).

On exploite la librairie CD4000 :

- Les inverseurs (X1, 2, 3, 4, 5, 7) sont des CD4049.

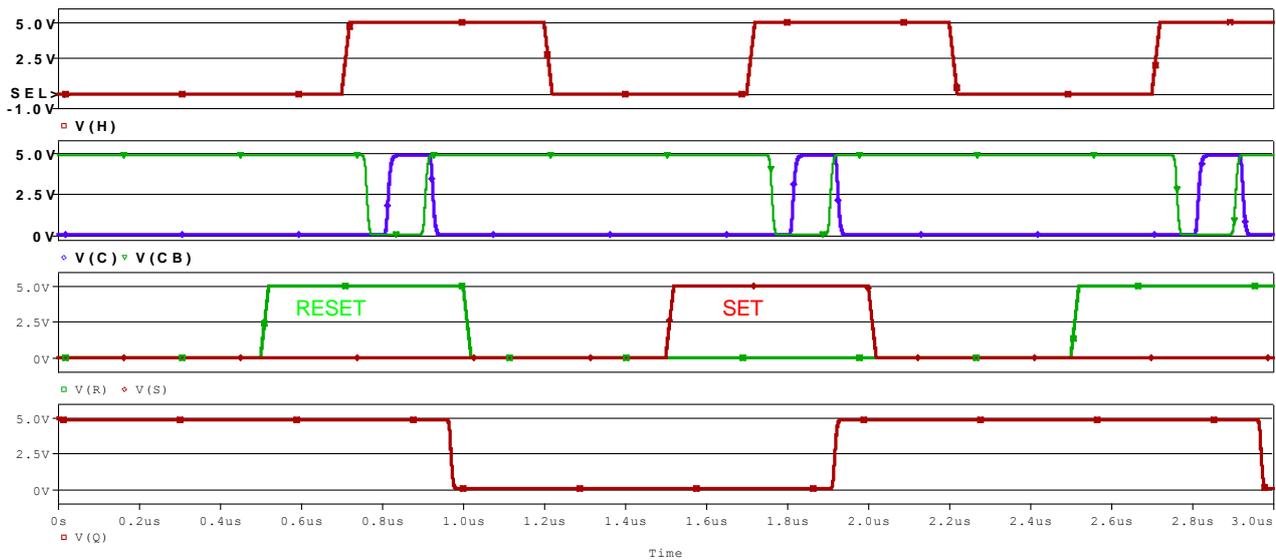
- Les Nand (X6, 9, 10, 11) sont des CD4011.

La sortie de la porte ET, s'il n'y avait pas de retard apporté par les 5 inverseurs, serait obligatoirement à 0 (car  $H \cdot \bar{H} = 0$ ). Mais quand H passe à 1, durant le temps de propagation de H vers H5, la porte ET (X6 associé à X7), voit  $1 \cdot 1 = 1$ . Puis retombe à 0, les 2 entrées de la porte ET étant ensuite complémentaires. Cela forme la durée de l'impulsion.

```
RSH à portes CD4000
* fichier RSH_portes.cir
.lib dig_io.lib
.lib CD4000.lib
* horloge :
VCLK H 0 pulse (0 5 0.7u 20n 20n 480n 1u)
* impulsion sur front montant de H : sortie C
X1 H H1 CD4049A ; INV
X2 H1 H2 CD4049A ; INV
X3 H2 H3 CD4049A ; INV
X4 H3 H4 CD4049A ; INV
X5 H4 H5 CD4049A ; INV
X6 H H5 CB CD4011A ; NAND
R_CB CB 0 100k ; pour rendre analogique
X7 CB C CD4049A ; INV
R_C C 0 100k ; pour rendre analogique
* circuit RSH entrées : S R C ; sorties Q QB
* signal sur R
VRB R 0 PULSE (0 5 0.5u 20n 20n 0.48u 2u)
* signal sur S
VSB S 0 PULSE (0 5 1.5u 20n 20n 0.48u 2u)
X8 S C S1 CD4011A ; NAND
X9 R C R1 CD4011A ; NAND
X10 S1 QB Q CD4011A ; NAND
X11 R1 Q QB CD4011A ; NAND
.IC V(Q)=5 V(QB)=0
.option ACCT
.TRAN 100ps 3us 0 100ps
.PROBE
.END
```

*Netliste, prête à simuler*

Pour vérifier le fonctionnement, on agit sur Reset, puis sur Set. Un front montant de H est présent lors de chacune de ces actions. On visualise H, l'impulsion C, ainsi que son complément CB.



### 1.c) Interprétation, commentaires

Au premier front montant de H, l'entrée **Reset** est active : cela fait tomber à 0 la sortie Q.

Au front montant suivant de H, c'est l'entrée **Set** qui est active : cela fait passer Q à 1.

Une mesure donne 260 ns de temps de retard entre le front montant de H et le changement d'état de Q (mesuré à mi niveau, c'est-à-dire à 2,5 V). L'impulsion en C fait 110 ns (à mi hauteur).

Le fonctionnement est ainsi vérifié : à chaque front montant de H, Q se positionne sur 0 ou 1 selon **Reset** ou **Set** respectivement. Le temps de réponse est de 260 ns.

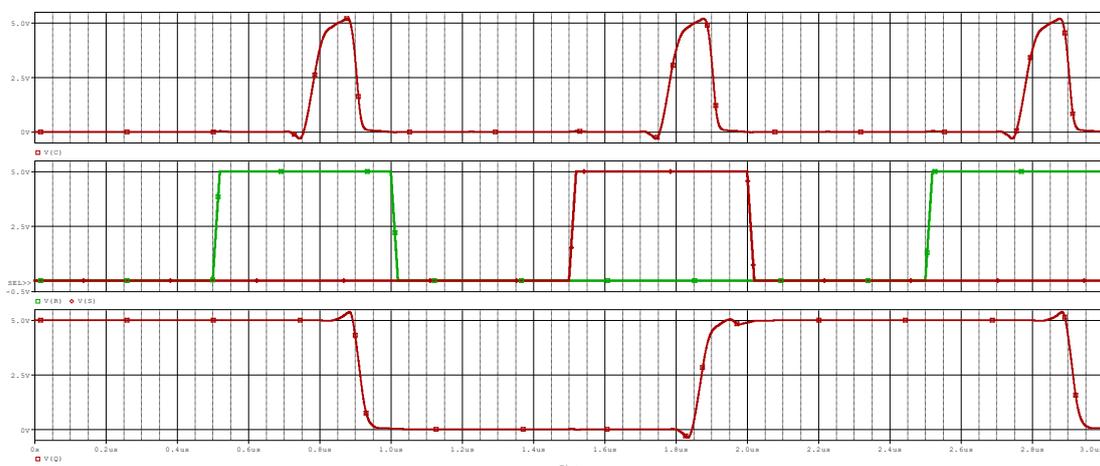
## 2) Simulation du circuit à transistors

Bien que la simulation réalisée au « niveau portes » soit satisfaisante, on peut vouloir une vision plus poussée du comportement de ce circuit. Pour cela, on peut simuler le schéma en descendant au « niveau transistors ».

Le circuit complet totalise 32 transistors (6 inverseurs et 5 Nand). C'est donc hors de portée de Pspice d'évaluation, limité à 20 transistors. Pourtant, on peut le faire... Mais dans un premier temps, réalisons la simulation avec un Pspice « non bridé ».

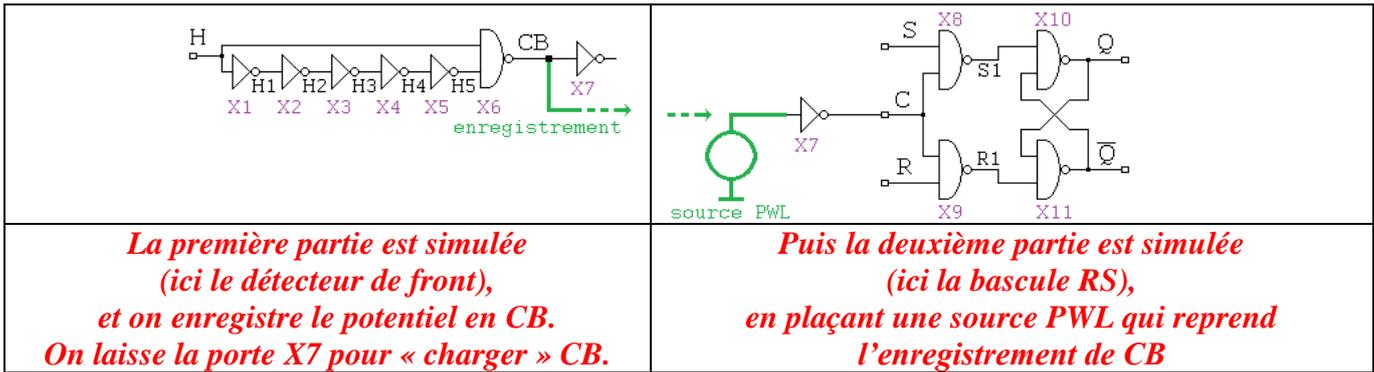
### 2.a) Simulation avec Pspice, **version complète**

Les signaux d'entrées sont identiques au schéma simulé au niveau « portes logiques ».



*De haut en bas : Impulsion C, Reset et Set, Sortie Q. (Pspice non bridé)*

## 2.b) Simulation avec Pspice, **version Lite**



Ci-dessous les 2 netlistes : les lignes communes sont placées en un seul exemplaire, et les parties A (16 transistors) et partie B (18 transistors) sont présentées sur 2 colonnes :

Bascule RS sur front montant partie A * fichier RS_front_A.cir	Bascule RS sur front montant partie B * fichier RS_front_B.cir
<pre> * transistors perso  .model MODN nmos ( Level=1 Kp=2.9m Vto=2.1 CBD=10P CBS=10P + Cgdo=30n Cgso=30n lambda=0.002 )  .model MODP pmos ( Level=1 Kp=2m Vto=-2.9 CBD=10P CBS=10P + Cgdo=30n Cgso=30n lambda=0.002 )  * alim : Vdd vdd 0 DC 5 ; alim digitale  * inverseur : .subckt INV in out vdd Mp out in vdd vdd MODP Mn out in 0 0 MODN .ends  * nand 2 entrées : .subckt Nand2 in1 in2 out vdd Mp1 out in1 Vdd Vdd MODP ; DGSE Mp2 out in2 Vdd Vdd MODP Mn1 out in1 i 0 MODN Mn2 i in2 0 0 MODN .ends </pre>	<pre> V2 CB 0 pwl (FILE=enregistrement.txt) X7 CB C vdd INV VRB R 0 PULSE (0 5 0.5u 20n 20n 0.48u 2u) VSB S 0 PULSE (0 5 1.5u 20n 20n 0.48u 2u)  * circuit entrées : S R C ; sorties Q QB X8 S C S1 vdd Nand2 X9 R C R1 vdd Nand2 X10 S1 QB Q vdd Nand2 X11 R1 Q QB vdd Nand2 .IC V(Q)=5 V(QB)=0 </pre>
<pre> VCLK H 0 pulse (0 5 0.7u 20n 20n 480n 1u)  * circuit détection front entrée H sortie C X1 H H1 vdd INV X2 H1 H2 vdd INV X3 H2 H3 vdd INV X4 H3 H4 vdd INV X5 H4 H5 vdd INV X6 H H5 CB vdd Nand2 X7 CB C vdd INV </pre>	<pre> * circuit détection front entrée H sortie C X1 H H1 vdd INV X2 H1 H2 vdd INV X3 H2 H3 vdd INV X4 H3 H4 vdd INV X5 H4 H5 vdd INV X6 H H5 CB vdd Nand2 X7 CB C vdd INV </pre>
<pre> .TRAN 100ps 3us 0 100ps .PROBE .END </pre>	

### Mode opératoire :

1) On simule la partie A. On affiche les potentiels pour valider le fonctionnement. **On affiche V(CB)**. Par copie colle dans Excel (en cliquant sur le nom du potentiel, en dessous du plot), on dispose d'un tableau de 2 colonnes. On fait un copier de toutes les cases de ce tableau, sauf la première ligne.

2) Puis on colle dans l'éditeur « bloc note ».

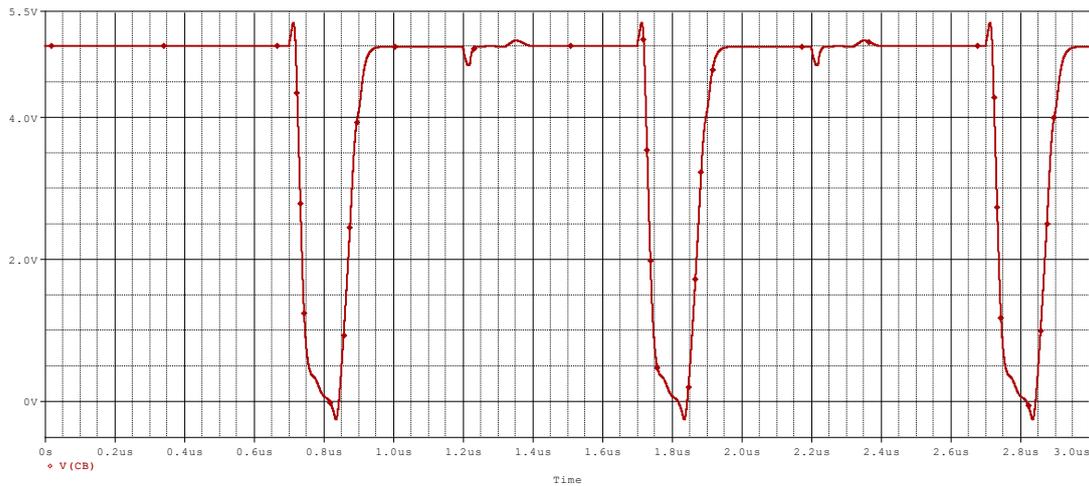
On remplace les virgules en points (raccourci clavier CTRL H).

On enregistre alors le fichier, en mode texte, sans aucun autre caractère : **enregistrement.txt**

3) Dans la netlist de la partie B, la commande (FILE=**enregistrement.txt**) remplace le contenu du fichier dans la netlist, à l'endroit où elle est placée. Puis on simule la partie B.

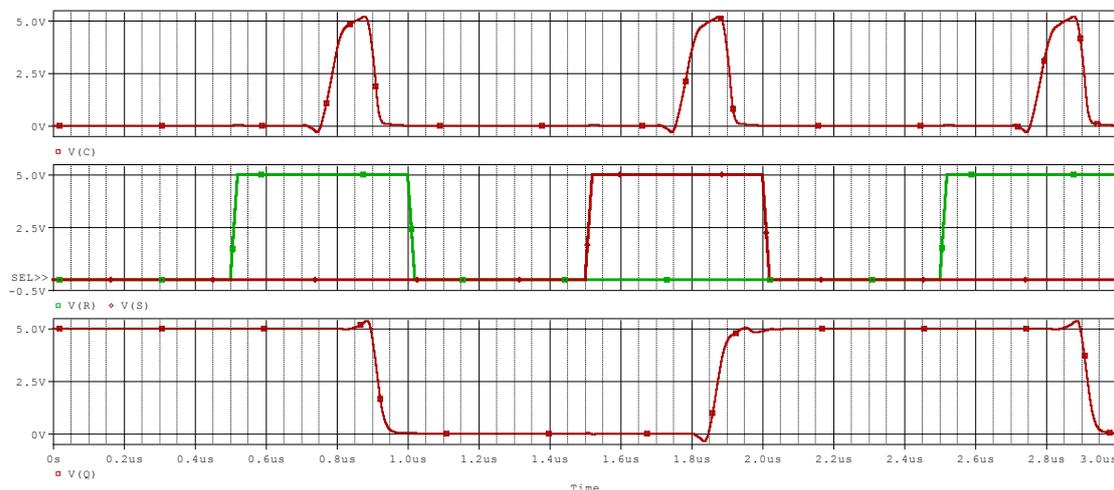
## Résultats :

### Simulation de la partie A :



*Potentiel V(CB) : sera copié dans un fichier Excel, (30052 lignes), puis enregistré dans un fichier texte (1 MO) pour la source PWL.*

### Simulation de la partie B :



*De haut en bas : Impulsion C, Reset et Set, Sortie Q*

## Interprétation :

La sortie Q de cette partie B est en parfaite coïncidence avec la sortie Q du schéma complet. C'est parce que le potentiel V(CB) était absolument identique entre la partie B et le schéma complet. On peut donc valider cette façon de simuler en 2 tranches de circuit.

## Conclusion

Cette méthode est généralisable : on peut simuler par « tranches » de circuits de moins de 20 transistors, et ajouter des sources PWL. Mais avouons que tous les schémas ne s'y prêtent pas. Un système bouclé notamment ne permet pas d'isoler une partie pour une simulation indépendante, car son fonctionnement est lié à la totalité du circuit. Donc, cette astuce de passer par une source PWL pour remplacer une partie du circuit est plutôt adaptée pour un schéma relativement simple, qui présente de façon explicite, 2 (ou 3) zones facilement séparables, avec une unidirectionnalité de l'information. Attention néanmoins de simuler une tranche  $i$  avec la charge apportée par la tranche  $i+1$ , pour que les potentiels calculés et enregistrés tiennent compte de l'environnement immédiat. Un autre exemple est donné dans l'[article 86](#).

**Annexe : fichier.cir pour version Pspice non bridée**

```
Bascule RS sur front montant à 32 transistors

*fichier RS_front.cir
* nécessite version complète de pspice

* transistors perso :
.model MODN nmos ( Level=1 Kp=2.9m Vto=2.1 CBD=10P CBS=10P
+ Cgdo=30n Cgso=30n lambda=0.002 )
.model MODP pmos ( Level=1 Kp=2m Vto=-2.9 CBD=10P CBS=10P
+ Cgdo=30n Cgso=30n lambda=0.002 )

* alim :
Vdd vdd 0 DC 5 ; alim digitale

* horloge :
VCLK H 0 pulse (0 5 0.7u 20n 20n 480n 1u)

* inverseur :
.subckt INV in out vdd
Mp out in vdd vdd MODP
Mn out in 0 0 MODN
.ends
* nand 2 entrées :
.subckt Nand2 in1 in2 out vdd
Mp1 out in1 Vdd Vdd MODP ; DGSB
Mp2 out in2 Vdd Vdd MODP
Mn1 out in1 i 0 MODN
Mn2 i in2 0 0 MODN
.ends

* circuit détection front entrée H sortie C
X1 H H1 vdd INV
X2 H1 H2 vdd INV
X3 H2 H3 vdd INV
X4 H3 H4 vdd INV
X5 H4 H5 vdd INV
X6 H H5 CB vdd Nand2
X7 CB C vdd INV

* RSH
* signal sur R
VRB R 0 PULSE (0 5 0.5u 20n 20n 0.48u 2u)
* signal sur S
VSB S 0 PULSE (0 5 1.5u 20n 20n 0.48u 2u)

* circuit entrées : S R C ; sorties Q QB
X8 S C S1 vdd Nand2
X9 R C R1 vdd Nand2
X10 S1 QB Q vdd Nand2
X11 R1 Q QB vdd Nand2
.IC V(Q)=5 V(QB)=0
.TRAN 100ps 3us 0 100ps
.PROBE
.END
```

articles 1 à 43 : sur le livre

**Tableau récapitulatif des articles PDF disponibles sur ce site**

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	<a href="#">présentation</a>	<a href="#">document PDF</a>
44	Exemples basiques et des exercices...	<a href="#">présentation</a>	<a href="#">document PDF</a>
45	Un exemple de circuit passif	<a href="#">présentation</a>	<a href="#">document PDF</a>
46	Un oscillateur Colpitts	<a href="#">présentation</a>	<a href="#">document PDF</a>
47	Compensation en fréquence des amplificateurs opérationnels	<a href="#">présentation</a>	<a href="#">document PDF</a>
48	Un amplificateur à transistors bipolaires	<a href="#">présentation</a>	<a href="#">document PDF</a>
49	Une bascule D Flip Flop CMOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
50	Une porte XOR à transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
51	Un VCO à 12 transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
52	Une PLL à moins de 20 transistors MOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
53	Un oscillateur à résistance négative	<a href="#">présentation</a>	<a href="#">document PDF</a>
54	Une charge électronique	<a href="#">présentation</a>	<a href="#">document PDF</a>
55	Un amplificateur en classe C	<a href="#">présentation</a>	<a href="#">document PDF</a>
56	Le monostable 74 123	<a href="#">présentation</a>	<a href="#">document PDF</a>
57	Un amplificateur en classe D	<a href="#">présentation</a>	<a href="#">document PDF</a>
58	Le transformateur en linéaire	<a href="#">présentation</a>	<a href="#">document PDF</a>
59	La loi d'ohm thermique	<a href="#">présentation</a>	<a href="#">document PDF</a>
60	Le transformateur en non linéaire	<a href="#">présentation</a>	<a href="#">document PDF</a>
61	Robustesse d'un oscillateur en anneau	<a href="#">présentation</a>	<a href="#">document PDF</a>
62	Une alimentation stabilisée	<a href="#">présentation</a>	<a href="#">document PDF</a>
63	Modélisation d'un haut-parleur	<a href="#">présentation</a>	<a href="#">document PDF</a>
64	Un synthétiseur de fréquence	<a href="#">présentation</a>	<a href="#">document PDF</a>
65	Un ampli audio de Sparkfun	<a href="#">présentation</a>	<a href="#">document PDF</a>
66	Simulation logique et analogique	<a href="#">présentation</a>	<a href="#">document PDF</a>
67	Un oscillateur à relaxation	<a href="#">présentation</a>	<a href="#">document PDF</a>
68	Lecteur de TAG RFID 125 kHz	<a href="#">présentation</a>	<a href="#">document PDF</a>
69	Diagramme de l'œil avec Pspice	<a href="#">présentation</a>	<a href="#">document PDF</a>
70	Un amplificateur hautes fréquences	<a href="#">présentation</a>	<a href="#">document PDF</a>
71	Une bizarrerie enfin expliquée...	<a href="#">présentation</a>	<a href="#">document PDF</a>
72	Comprendre le paramétrage de la FFT	<a href="#">présentation</a>	<a href="#">document PDF</a>
73	La relation de Bennett	<a href="#">présentation</a>	<a href="#">document PDF</a>
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	<a href="#">présentation</a>	<a href="#">document PDF</a>
75	Une horloge biphase sans recouvrement	<a href="#">présentation</a>	<a href="#">document PDF</a>
76	Quelques simulations sur la diode	<a href="#">présentation</a>	<a href="#">document PDF</a>
77	Un ampli classe A, avec transformateur de sortie	<a href="#">présentation</a>	<a href="#">document PDF</a>
78	Des stimuli pour PSpice	<a href="#">présentation</a>	<a href="#">document PDF</a>
79	Simuler le TL431 : zener ajustable	<a href="#">présentation</a>	<a href="#">document PDF</a>
80	Un ADC flash	<a href="#">présentation</a>	<a href="#">document PDF</a>
81	Une chaîne d'acquisition : S&H, ADC, DAC	<a href="#">présentation</a>	<a href="#">document PDF</a>
82	Un amplificateur 50 MHz	<a href="#">présentation</a>	<a href="#">document PDF</a>
83	Un dérivateur non inverseur	<a href="#">présentation</a>	<a href="#">document PDF</a>
84	Un amplificateur bipolaire avec push pull CMOS	<a href="#">présentation</a>	<a href="#">document PDF</a>
85	Rôle des répéteurs logiques dans un circuit intégré	<a href="#">présentation</a>	<a href="#">document PDF</a>
86	Un driver logique CMOS pour charge 50 ohms	<a href="#">présentation</a>	<a href="#">document PDF</a>
87	Des triggers de Schmitt et des applications	<a href="#">présentation</a>	<a href="#">document PDF</a>
88	Un filtre gaussien analogique	<a href="#">présentation</a>	<a href="#">document PDF</a>
89	Un générateur de bruit rose	<a href="#">présentation</a>	<a href="#">document PDF</a>

90	Un anémomètre à fil chaud : simulation comportementale	<a href="#">présentation</a>	<a href="#">document PDF</a>
91	Un oscillateur à pont de Wien stabilisé par CTN	<a href="#">présentation</a>	<a href="#">document PDF</a>
92	L'emballement thermique d'une diode	<a href="#">présentation</a>	<a href="#">document PDF</a>
93	Les puissances dans un amplificateur	<a href="#">présentation</a>	<a href="#">document PDF</a>
94	Asservissement de puissance dans une résistance	<a href="#">présentation</a>	<a href="#">document PDF</a>
95	Asservissement de la puissance émise par une antenne radio	<a href="#">présentation</a>	<a href="#">document PDF</a>
96	Un driver de LED de puissance	<a href="#">présentation</a>	<a href="#">document PDF</a>
97	Exploiter Pspice pour simuler des filtres numériques	<a href="#">présentation</a>	<a href="#">document PDF</a>
98	Un filtre en cosinus surélevé avec Pspice	<a href="#">présentation</a>	<a href="#">document PDF</a>
99	Effet de la température sur un amplificateur en classe A	<a href="#">présentation</a>	<a href="#">document PDF</a>
100	Un amplificateur à transistors JFET et bipolaires	<a href="#">présentation</a>	<a href="#">document PDF</a>
<b>Supplément, hors article :</b>			
<b>mon cours « Electronique pour les communications numériques », <a href="#">polycopié couleur 201 pages en pdf</a></b>			

[retour à l'écran d'accueil de ce site](#)