

Une chaîne d'acquisition avec un ADC flash 3 bit

J'invite le lecteur à consulter le site pour des informations complémentaires.

Page d'accueil du site Internet :

[page d'accueil](#)

d'autres pdf, sur différents sujets :

[liste des PDF](#)

On montre le fonctionnement d'un ADC flash 3 bits, dans un environnement de chaîne d'acquisition. Cet article fait référence à [un ADC flash 3 bits](#) qu'il est préférable de lire en préalable.

Le montage final, présenté en 6), nécessite la version « non lite » de Pspice.

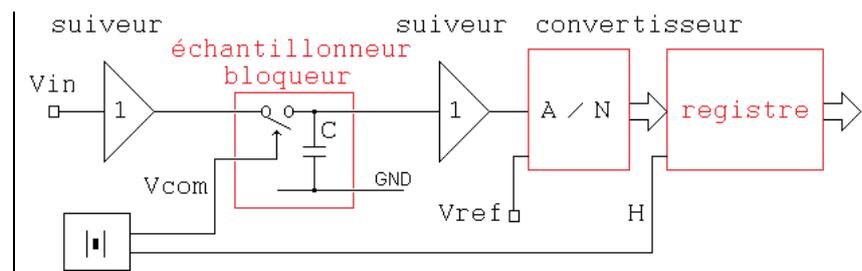
1) Une chaîne d'acquisition

Pour réaliser un traitement numérique sur une grandeur analogique, il est nécessaire de faire l'acquisition de cette grandeur, sa conversion en numérique, puis le transfert de cette donnée numérique dans une fonction réalisant le traitement. Cette fonction reçoit les données numériques à intervalle régulier. Après ce traitement numérique, il y a la restitution en analogique, ce que ce document ne traite pas.

1.b) Synoptique général

3 éléments principaux :

- Échantillonneur bloqueur
- Convertisseur A/N
- Registre de mémorisation



- Un **interrupteur** permet d'**échantillonner** le signal d'entrée V_{in} . Quand l'interrupteur est fermé, le condensateur se charge à la tension V_{in} . Quand l'interrupteur est ouvert, le condensateur se retrouve isolé et maintient la tension. Cette valeur est bloquée.

Dans de nombreux cas, on associe un suiveur de tension, pour éviter un courant de fuite du condensateur C vers le CAN qui suit. Également, il est fréquent d'associer un suiveur en amont, pour que les appels de courant de charge de C ne perturbent pas V_{in} .

- Cette grandeur bloquée est appliquée au **convertisseur analogique numérique**. Un **CAN** nécessite une tension de référence. La sortie du CAN, binaire, est représentée usuellement par un bus de n fils.

- Pour présenter en sortie une valeur numérique cadencée à une horloge (nécessaire au traitement ultérieur qui suit), un **registre** de mémorisation **capture** cette donnée de n fils.

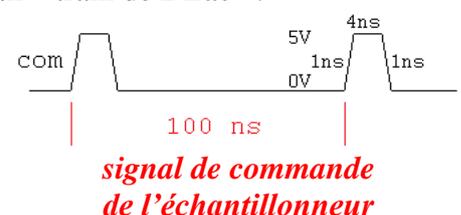
- Un système de commande de l'échantillonneur, synchrone avec l'horloge du registre de sortie, est nécessaire. Généralement, connecté à l'horloge principale de la carte, à base d'oscillateur à quartz.

1.b) Signal de commande de l'échantillonneur

Le signal de commande de cet interrupteur est, idéalement, ou mathématiquement, une impulsion de Dirac, qui se répète toutes les périodes T d'une horloge, pour former un « train de Dirac ».

Pour s'en rapprocher, on choisit un rapport cyclique de 5 % : durant 5 % du temps, l'interrupteur est ON, et 95 % du temps, OFF.

La fréquence de répétition choisie est de 10 MHz, ($T = 100$ ns), avec le temps de montée = le temps de descente = 1 ns.



2) Échantillonneur bloqueur

2.a) Modèle d'échantillonneur bloqueur

Pour une première simulation, on fait appel à un « switch » de la librairie de Pspice. Dans ce modèle, on définit une valeur de résistance à l'état passant (RON), fixée ici à 100 Ω arbitrairement, et une valeur de résistance à l'état bloquée (ROFF), fixée ici à 10 MΩ arbitrairement. Le changement d'état ON OFF se fait par une entrée de commande.

Les niveaux du signal « com » sont : 0 V, 5 V.

On paramètre le fonctionnement : si $V_{com} > 2,6$ V le switch est ON, si $V_{com} < 2,4$ V le switch est OFF. Le switch a un temps de réponse nul. Ce switch est donc un **modèle comportemental**, et son fonctionnement dynamique est idéal.

Le condensateur C est fixé à 10 pF. Cela donne une constante de temps de charge de 1 ns. Il faut que V_{inb} atteigne la valeur de V_{in} avant l'ouverture du switch. Bien que la notion de temps de réponse à $\pm 5\%$ ne s'applique pas sur un CAN, un calcul simplifié peut exploiter la notion de $3\tau = 3$ ns pour atteindre 95 % de la valeur finale.

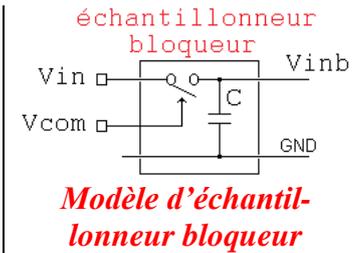
On ne simule pas les suiveurs placés en amont et en aval.

2.b) Simulation de l'échantillonneur comportemental

Le signal appliqué en V_{in} est un triangle à 500 kHz. C'est le même signal qui a été exploité dans le test du CAN seul.

Pour tester cet interrupteur, on se limite à vérifier son rôle d'échantillonneur bloqueur, associé avec $C = 10$ pF.

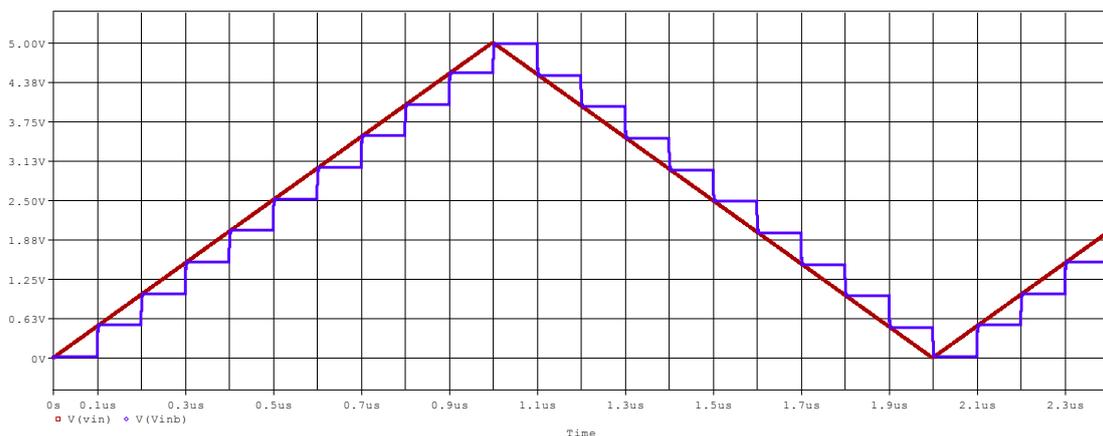
Il n'y a aucune charge connectée en sortie.



```

echantillonneur bloqueur comportemental
* fichier echan_compor.cir
* circuit :
Vech com 0 pulse ( 0 5 0n 1n 1n 4n 100n )
Vin vin 0 pwl (0,0 1u,5V 2u,0V 3u,5V)
Sint vin Vinb com 0 int
Cblo Vinb 0 10p
.Model int Vswitch (Ron=100 Roff=10Meg Von=2.6 Voff=2.4)
.TRAN .1n 2.4u 0 .1n
.PROBE
.END
    
```

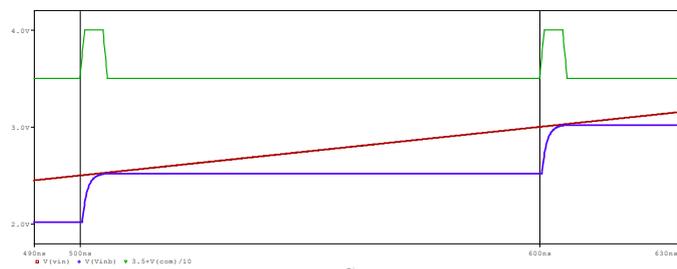
netlist prête à simuler



**Signal d'entre $V(in)$ 500 kHz, triangulaire allant de 0 V à 5 V.
Sortie après l'échantillonneur bloqueur à transistors 100 MHz**

Le zoom ci-contre montre bien l'échantillonnage (il faut moins de 5 ns pour que V_{in} soit recopiée en V_{inb}), et le blocage (V_{inb} est maintenu jusqu'à l'échantillon suivant, où une nouvelle valeur arrive, 100 ns plus tard).

**Signal de commande $V(com)$ décalé pour une meilleure lisibilité
Signal d'entre $V(in)$ et Sortie bloquée**



3.c) échantillonneur bloqueur à base de transistor MOS

3.c1) Modèle de transistor

On choisit un modèle de transistor « niveau 1 ». C'est suffisant pour vérifier un fonctionnement, mais ne montre pas des phénomènes liés à une technologie récente, comme par exemple les conséquences de petites tailles.

```
.model MODN nmos ( Level=1 Kp=3m Vto=0.8
+ Cgdo=35n Cgso=35n lambda=0.002 )
.model MODP pmos ( Level=1 Kp=2m Vto=-1.2
+ Cgdo=35n Cgso=35n lambda=0.002 )
modèle de transistor MOS adopté
```

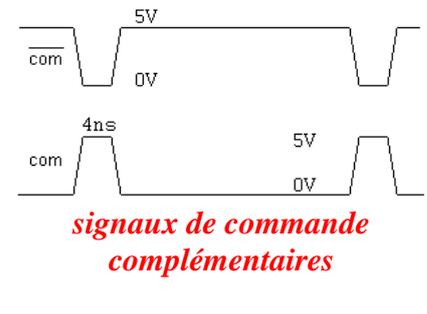
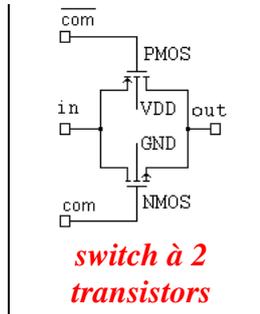
Néanmoins, en ce qui concerne les tensions et les temps de traversée, cela reste compatible avec la technologie CMOS 74AC.

L'annexe 1 montre le mode opératoire pour obtenir ces modèles : on réalise un oscillateur en anneau de 9 inverseurs CMOS, et on règle les paramètres pertinents pour obtenir la fréquence d'oscillation, donnée par un autre oscillateur en anneau à 9 étages, mais réalisé avec des inverseurs de la famille 74AC.

3.c2) Schéma et Signaux de commande

2 transistors MOS complémentaires montés en tête bêche forment un interrupteur bidirectionnel.

Les signaux de commande doivent être complémentaires. Dans notre simulation, c'est parfaitement assuré par 2 sources de type PULSE.



3.d) Simulation de l'échantillonneur réel

Le signal appliqué en in est toujours la rampe de test à 500 kHz.

Les dimensions de W et L des transistors permettent d'être en mode ohmique (ou résistance commandée en tension).

Il n'y a aucune charge connectée en sortie. (Un essai supplémentaire avec les inverseurs du comparateur à code thermomètre a été fait : pas de changement notable.)

```
echantillonneur bloqueur à transistors
* fichier echan_reel.cir

.model MODN nmos ( Level=1 Kp=3m Vto=0.8
+ Cgdo=35n Cgso=35n lambda=0.002 )
.model MODP pmos ( Level=1 Kp=2m Vto=-1.2
+ Cgdo=35n Cgso=35n lambda=0.002 )

* circuit :
Vdd vdd 0 dc 5V ; alim
Vech com 0 pulse ( 0 5 0n 1n 1n 4n 100n )
Vechb comb 0 pulse ( 5 0 0n 1n 1n 4n 100n )
Vin vin 0 pwl (0,0 1u,5V 2u,0V 3u,5V)
Xechb vin vinb com comb vdd ECH
Cblo vinb 0 10p

.subckt ECH in out com comb Vdd
Mp out comb in Vdd MODP W=100u L=40u
Mn in com out 0 MODN W=100u L=60u
.ends

.TRAN .1n 2.4u 0 .1n
.PROBE
.END

netlist prête à simuler
```

Le signal Vinb est en tout point identique à celui délivré par l'échantillonneur bloqueur comportemental, comme le montre le zoom ci-contre :

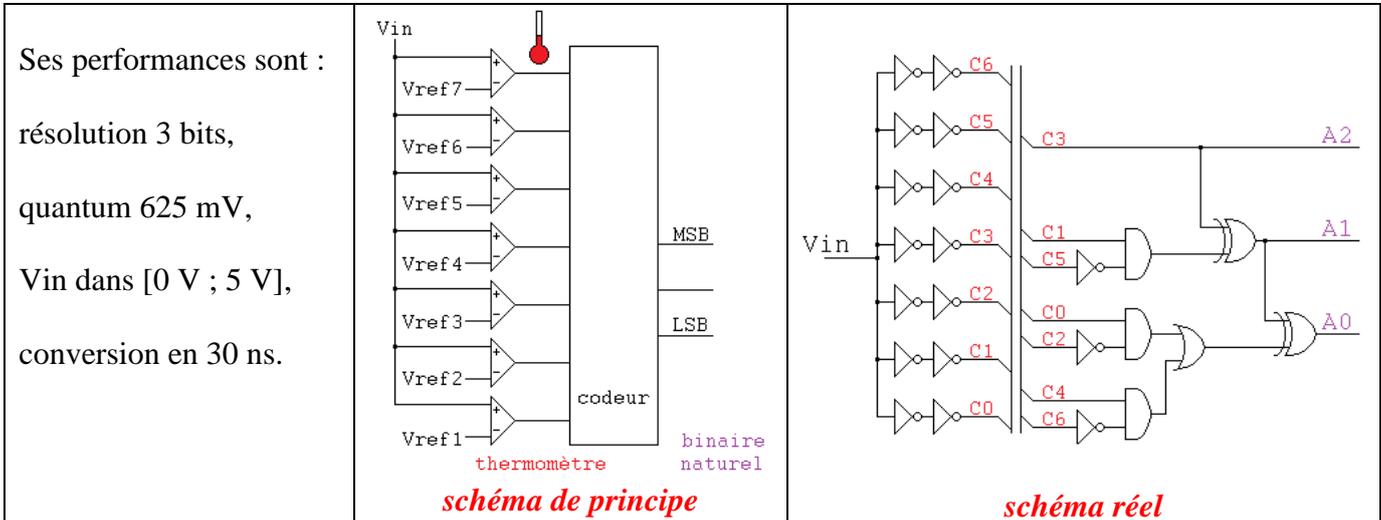
Signaux de commande V(com) et V(com-bar)
Signal d'entre V(in) et Sortie bloquée



4) Le convertisseur analogique numérique

Il est décrit et simulé dans l'article 80 sous [un ADC flash](#).

C'est une structure flash (ou parallèle), constitué de 7 paires d'inverseurs CMOS pour faire 7 comparateurs délivrant un code thermomètre, puis d'un circuit de transcodeurs à base de portes logiques de la famille 74AC pour délivrer le code binaire naturel.

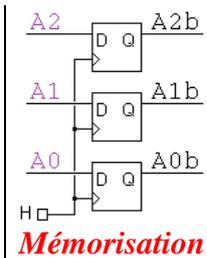


5) Etage de sortie

5.a) Registre de sortie

On place des bascules D flip flop câblées en registre de mémorisation. Rappelons le fonctionnement : au front montant de H, Q est la recopie de D. Plus finement :

- il faut que la donnée D soit installée depuis t_{setup} et reste au moins t_{hold} pour que la bascule la capture au front montant de H.
 - la sortie Q prend sa nouvelle valeur après un temps t_{PLH} ou t_{PHL} .
- La bascule D est la 74AC74, donnée par $t_{PLH} = t_{PHL} = 6$ ns dans les simulations. Les entrées de forçage clear et preset ne sont pas exploitées, et donc inactives. Le front descendant de H est sans effet.

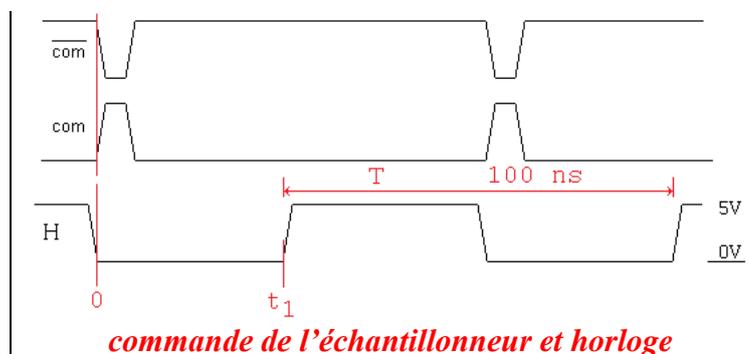


On note [A2b, A1b, A0b] la mémorisation (ou le blocage) de [A2, A1, A0].

5.b) bilan des signaux de commande

La commande de l'échantillonneur (com et son complément) est synchrone avec l'horloge H. La période est $T = 100$ ns.

Le front montant de H est placé à $t_1 = 50$ ns après la commande de l'interrupteur.



Le front descendant de H est sans effet. Il a été choisi un signal H de rapport cyclique 50 %, donc parfaitement symétrique. Les temps de montée et de descente sont fixés à 1 ns.

6) Montage final

La version d'évaluation de Pspice ne peut pas simuler la totalité de ce montage.

6.a) Schéma complet

L'indice b est placé pour indiquer bloqué.

Pour vérifier d'un coup d'œil les valeurs issues du registre de mémorisation, on ajoute un CNA parfait attaqué par A2b, A1b, A0b, qui délivre E_NAb.

De même, on peut également vérifier les bits [A2, A1, A0], par le CNA délivrant E_NA.

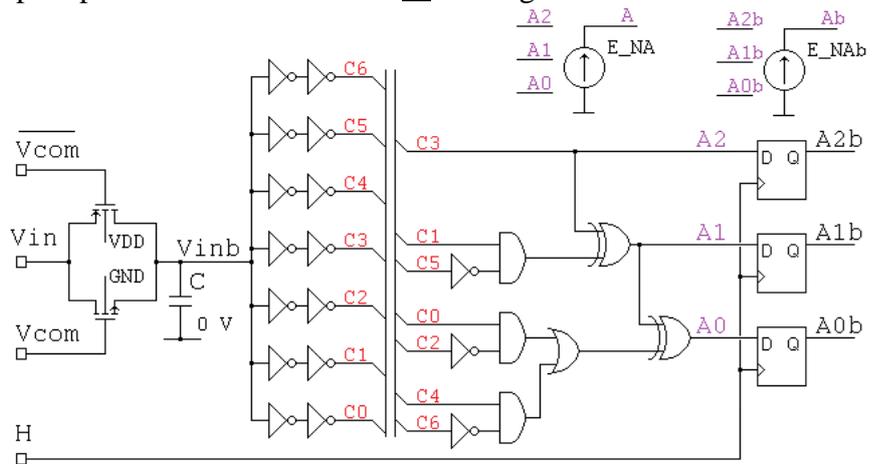
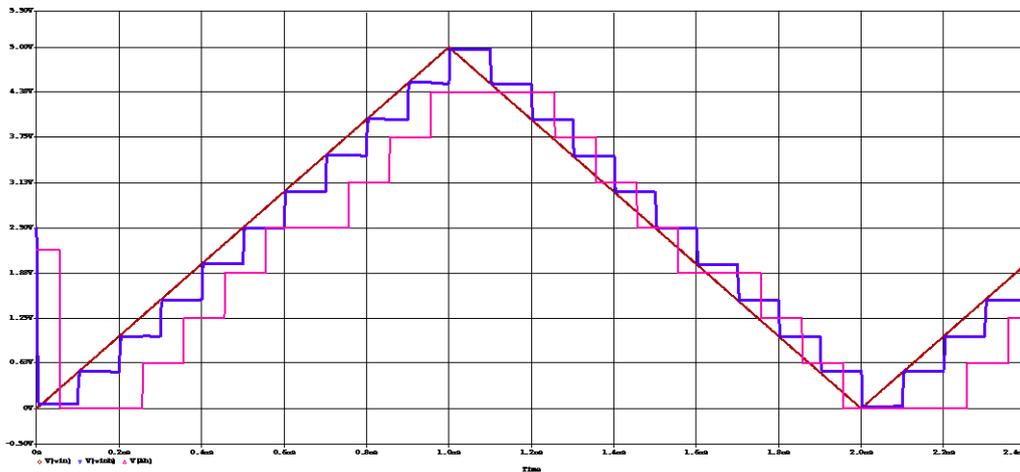


Schéma complet Netlist chaine_full2.cir en annexe 2

6.b) Simulation du schéma complet



Le signal d'entrée Vin, 500 kHz, triangulaire allant de 0 V à 5 V.

Ce signal échantillonné à 10 MHz.

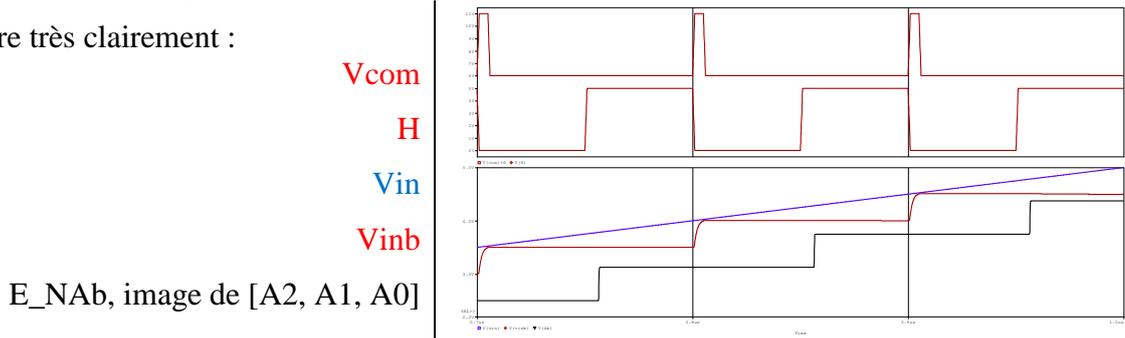
Le signal logique après les bascules D [A2b A1b A0b] reconstruit en analogique (après CNA parfait).

Remarque : à t = 0, la sortie des bascules D est indéterminée, car il n'y a pas eu de front d'horloge. Pspice place 2,5 V en sortie. Le CNA délivre une tension en ENA_b = 2,5 x 7/8 = 2,19 V.

Le fonctionnement est maintenant satisfaisant :

- On échantillonne à 10 MHz un signal de 500 kHz : on a 20 échantillons par période de Vin. Les échantillons sont les recopies de Vin.
- Le bus de sortie délivre en [A2b, A1b, A0b], des valeurs stables. La conversion en analogique montre la valeur de Vinb au travers un pas de 625 mV = le quantum.

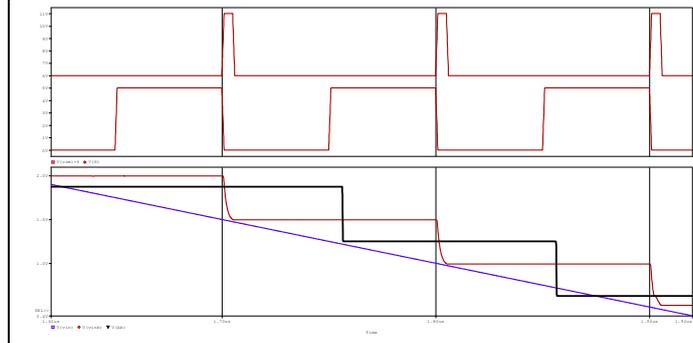
Un zoom montre très clairement :



même observation, sur un autre intervalle.

On voit le retard entre le signal Vin et la sortie restituée.

Ce retard vaut 56 ns, soit 50 ns apporté par le timing imposé + 6 ns par le temps de réponse de la bascule D du registre de mémorisation.

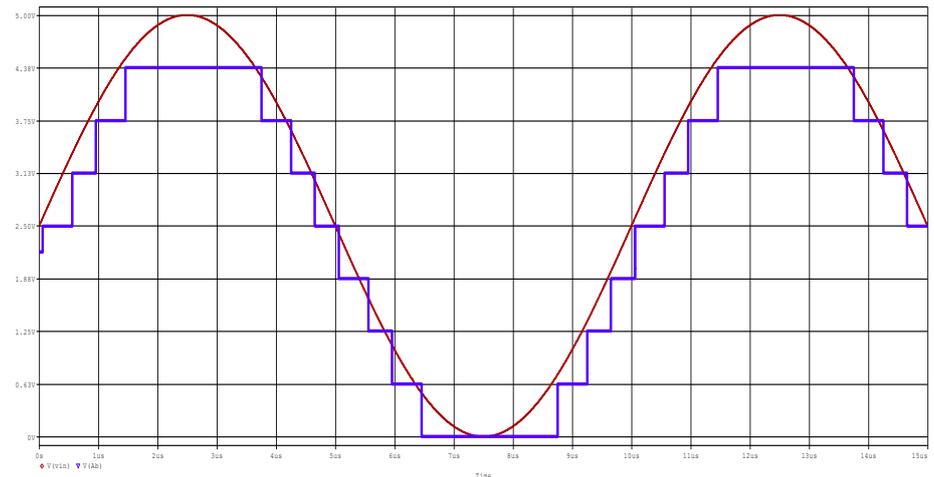


Les vérifications du fonctionnement étant faites, regardons le comportement de notre chaîne d'acquisition au travers d'autres essais de signal Vin :

**Signal « quelconque » :
une sinusoïde 100 kHz**

```
Vin vin 0 sin (2.5 2.5 100k)
.TRAN 0.1n 15u 0 0.1n
```

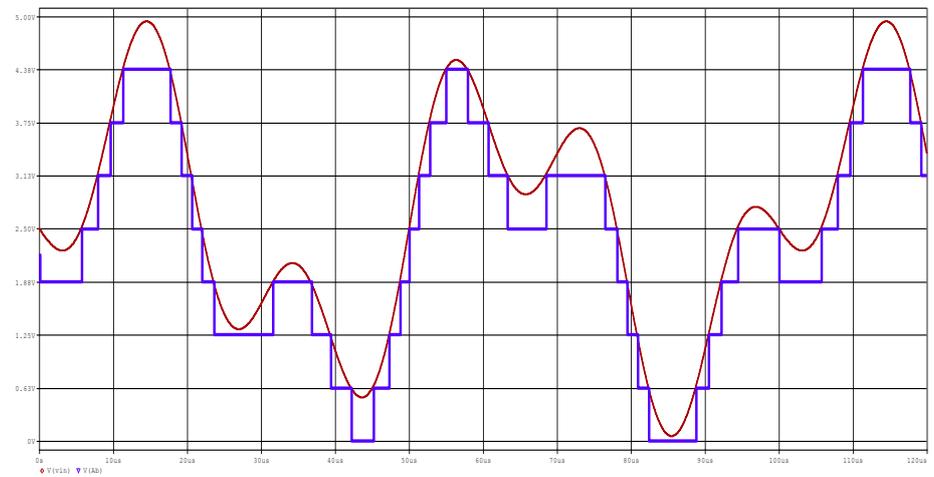
Les graduations sont placées tous les 625 mV : cela facilite la lecture de la tension [A2, A0, A1].

**Signal « quelconque » :
une sinusoïde 20 kHz
+ sinusoïde 50 kHz**

```
Vin ai 0 sin (2.5 1.5 20k)
Vin2 ai vin sin (0 1 50k)
.TRAN 0.5n 120u 0 0.5n
```

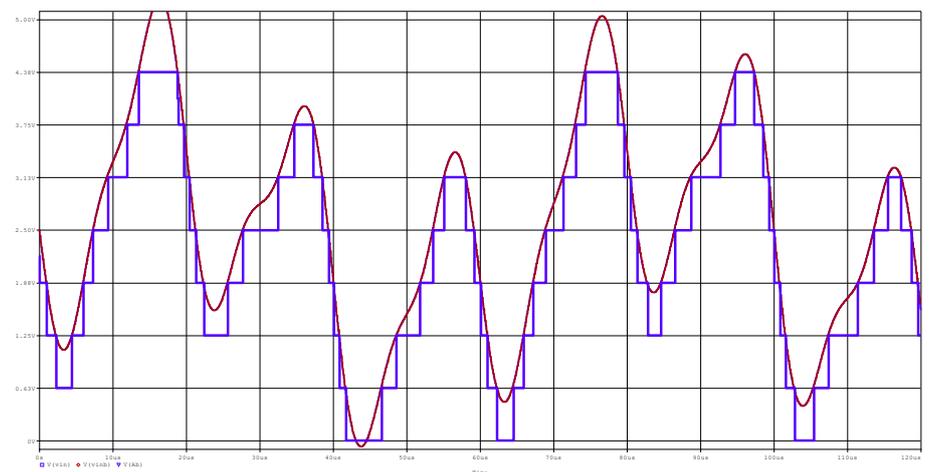
A cette échelle, le signal d'entrée paraît aléatoire, mais reste néanmoins périodique.

La conversion « suit » ce signal.

**Signal « quelconque » :
une sinusoïde 20 kHz
+ sinusoïde 50 kHz
+ sinusoïde 100 kHz**

```
Vin ai 0 sin (2.5 1 15k)
Vin2 ai aii sin (0 1.5 50k)
Vin3 aii vin sin (0 0.5 100k)
.TRAN 0.5n 120u 0 0.5n
```

même remarque.



Conclusion

Dans l'enseignement de l'électronique, la constitution et le fonctionnement d'une chaîne d'acquisition est incontournable. L'étape la plus importante est le convertisseur Analogique / Numérique. Il en existe plusieurs principes : simple rampe, double rampe, approximations successives, flash, semi flash.

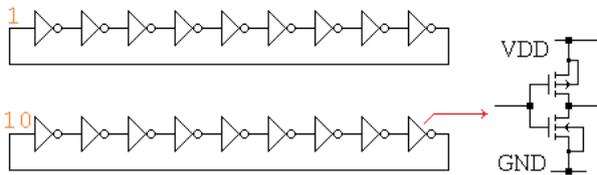
Pour pouvoir simuler avec Pspice d'évaluation un schéma réaliste d'une chaîne complète, il a été choisi une structure flash. La structure flash est réputée pour être rapide. Mais, pour des raisons de difficulté de fabrication, est limitée en résolution (8 bits, soit 255 comparateurs...).

L'article a donc présenté un ADC flash de résolution modeste (3 bits), sous 5 V d'alimentation et 5 V d'entrée (d'où quantum = 0,625 V), rapide (cadencé à 10 MHz).

Pour montrer le fonctionnement, il a été choisi un signal de test (rampe à 500 kHz), puis différents signaux.

Annexe 1 : recherche de modèle de transistors compatible technologie 74AC

On simule un oscillateur en anneau et on ajuste certains paramètres des transistors pour avoir la même fréquence que l'oscillateur construit à partir de composants issus de la librairie 74AC.lib.



Oscillateur en anneau à 9 inverseurs :
Trace du haut : à base d'inverseurs de la librairie
Trace du bas : à base de transistors MOS

Les oscillateurs sont lancés par une condition initiale.

La parfaite coïncidence des 2 chronogrammes se repère très facilement : il y a 13 périodes en 0,9 μ s.

On déduit $T = 69,23$ ns.

$$D'o\grave{u}, \text{ avec } N = 9, \quad t_p = \frac{T}{2N} = 3,85 \text{ ns} = \frac{t_{pLH} + t_{pHL}}{2}$$

On déduit une valeur moyenne de $t_{pLH} = t_{pHL} = 3,85$ ns, ce qui est en accord avec les caractéristiques de la technologie 74AC.

Remarque : Le fonctionnement à 2 V est possible avec la 74AC. Un essai sous $V_{DD} = 2$ V avec l'oscillateur à base de transistors MOS a donné $T = 500$ ns, soit $t_{pLH} = t_{pHL} = 28$ ns.

```

oscillateur 9 étages CMOS
* fichier oscillateur_9_74ac04.cir
* oscillateur 74AC et à transistors

.lib dig_io.lib
.lib 74AC.lib

* oscillateur 1 :
Xinv1 1 2 $G_DPWR $G_DGND 74AC04
Xinv2 2 3 $G_DPWR $G_DGND 74AC04
Xinv3 3 4 $G_DPWR $G_DGND 74AC04
Xinv4 4 5 $G_DPWR $G_DGND 74AC04
Xinv5 5 6 $G_DPWR $G_DGND 74AC04
Xinv6 6 7 $G_DPWR $G_DGND 74AC04
Xinv7 7 8 $G_DPWR $G_DGND 74AC04
Xinv8 8 9 $G_DPWR $G_DGND 74AC04
Xinv9 9 1 $G_DPWR $G_DGND 74AC04
.IC V(1)=5

* oscillateur 2 :
.model MODN nmos ( Level=1 Kp=3m Vto=0.8
+ Cgdo=35n Cgso=35n lambda=0.002 )
.model MODP pmos ( Level=1 Kp=2m Vto=-1.2
+ Cgdo=35n Cgso=35n lambda=0.002 )

.subckt INVCMOS in out vdd
Mp out in vdd vdd MODP W=40u L=40u
Mn out in 0 0 MODN W=20u L=60u
.ends

Vdd vdd 0 dc 5 ; alim
Xinv10 10 20 vdd INVCMOS
Xinv20 20 30 vdd INVCMOS
Xinv30 30 40 vdd INVCMOS
Xinv40 40 50 vdd INVCMOS
Xinv50 50 60 vdd INVCMOS
Xinv60 60 70 vdd INVCMOS
Xinv70 70 80 vdd INVCMOS
Xinv80 80 90 vdd INVCMOS
Xinv90 90 10 vdd INVCMOS
.IC V(10)=5

.TRAN 100p 1u 0 100p
.PROBE
.END

```

netlist prête à simuler

Annexe 2 : Netlist, chaine_full.cir chaine complète Nécessite Pspice non bridé

Cette netliste représente le schéma complet, c'est à dire avec l'ADC formé par les 14 inverseurs, donc 28 transistors CMOS. Bien que ces transistors ne respectent pas des critères de fabrication liés à une technologie, les simulations donnent des chronogrammes cohérents et réalistes.

```

chaine d'acquisition avec un CNA flash 3 bits
* fichier chaine_full.cir

.lib dig_io.lib
.lib 74AC.lib

*signaux
Vdd vdd 0 dc 5V

Vin vin 0 pwl (0,0 1u,5V 2u,0V 3u,5V)
.TRAN 0.1n 2.4u 0 0.1n

*Vin vin 0 sin (2.5 2.5 100k)
*.TRAN 0.1n 15u 0 0.1n

*Vin ai 0 sin (2.5 1.5 20k)
*Vin2 ai vin sin (0 1.5 50k)
*.TRAN 0.5n 120u 0 0.5n

*Vin ai 0 sin (2.5 1 15k)
*Vin2 ai aii sin (0 1.5 50k)
*Vin3 aii vin sin (0 0.5 100k)
*.TRAN 0.5n 120u 0 0.5n

.model MODN nmos ( Level=1 Kp=3m Vto=0.8
+ Cgdo=35n Cgso=35n lambda=0.002 )
.model MODP pmos ( Level=1 Kp=2m Vto=-1.2
+ Cgdo=35n Cgso=35n lambda=0.002 )

Vech com 0 pulse ( 0 5 0n 1n 1n 4n 100n )
Vechb comb 0 pulse ( 5 0 0n 1n 1n 4n 100n )
VCLK H 0 pulse ( 0 5 50n 1n 1n 49n 100n )

Kechb vin vinb com comb vdd ECH ;
Cblo vinb 0 10p

.subckt ECH in out com comb Vdd
Mp out comb in Vdd MODP W=100u L=40u
Mn in com out 0 MODN W=100u L=60u
.ends

* circuit :
X1 vinb C6 C5 C4 C3 C2 C1 C0 vdd CONV
X2 C6 C5 C4 C3 C2 C1 C0 G2 G1 G0 GRAY
X3 G2 G1 G0 A2 A1 A0 BIN
E_NA A 0 POLY(3) (A2,0) (A1,0) (A0,0) 0 0.5 0.25 0.125
E_NAb Ab 0 POLY(3) (A2b,0) (A1b,0) (A0b,0) 0 0.5 0.25
0.125

Xbasc0 $G_DPWR A0 H $G_DPWR A0b QA0b 74AC74
Rpull0 A0b 0 100k
Xbasc1 $G_DPWR A1 H $G_DPWR A1b QA1b 74AC74
Rpull1 A1b 0 100k
Xbasc2 $G_DPWR A2 H $G_DPWR A2b QA2b 74AC74
Rpull2 A2b 0 100k

.SUBCKT CONV Vin C6 C5 C4 C3 C2 C1 C0 vdd
X0 vin C0 vdd COMP_0625
X1 vin C1 vdd COMP_125
X2 vin C2 vdd COMP_1875
X3 vin C3 vdd COMP_25
X4 vin C4 vdd COMP_3125
X5 vin C5 vdd COMP_375
X6 vin C6 vdd COMP_4375
.ENDS

* transistor maison pour les TIQ
.model MODNC nmos ( Level=1 Kp=3m Vto=0.4
+ Cgdo=3.5n Cgso=3.5n lambda=0.002 )
.model MODPC pmos ( Level=1 Kp=3m Vto=-0.4
+ Cgdo=3.5n Cgso=3.5n lambda=0.002 )

.SUBCKT COMP_0625 ent sor vdd
Mp1 i ent vdd vdd MODPC W=1u L=1u
Mn1 i ent 0 0 MODNC W=270u L=1u
Mp2 sor i vdd vdd MODPC W=1u L=1u
Mn2 sor i 0 0 MODNC W=2u L=1u
.ENDS

.SUBCKT COMP_125 ent sor vdd
Mp1 i ent vdd vdd MODPC W=1u L=1u
Mn1 i ent 0 0 MODNC W=16u L=1u
Mp2 sor i vdd vdd MODPC W=1u L=1u
Mn2 sor i 0 0 MODNC W=16u L=1u
.ENDS

.SUBCKT COMP_1875 ent sor vdd
Mp1 i ent vdd vdd MODPC W=1u L=1u
Mn1 i ent 0 0 MODNC W=7u L=2u
Mp2 sor i vdd vdd MODPC W=1u L=1u
Mn2 sor i 0 0 MODNC W=3u L=1u
.ENDS

.SUBCKT COMP_25 ent sor vdd
Mp1 i ent vdd vdd MODPC W=1u L=1u
Mn1 i ent 0 0 MODNC W=1u L=1u
Mp2 sor i vdd vdd MODPC W=1u L=1u
Mn2 sor i 0 0 MODNC W=1u L=1u
.ENDS

.SUBCKT COMP_3125 ent sor vdd
Mp1 i ent vdd vdd MODPC W=1u L=1u
Mn1 i ent 0 0 MODNC W=2u L=7u
Mp2 sor i vdd vdd MODPC W=1u L=1u
Mn2 sor i 0 0 MODNC W=1u L=3u
.ENDS

.SUBCKT COMP_375 ent sor vdd
Mp1 i ent vdd vdd MODPC W=1u L=1u
Mn1 i ent 0 0 MODNC W=1u L=16u
Mp2 sor i vdd vdd MODPC W=1u L=1u
Mn2 sor i 0 0 MODNC W=1u L=16u
.ENDS

.SUBCKT COMP_4375 ent sor vdd
Mp1 i ent vdd vdd MODPC W=1u L=1u
Mn1 i ent 0 0 MODNC W=1u L=270u
Mp2 sor i vdd vdd MODPC W=1u L=2u
Mn2 sor i 0 0 MODNC W=1u L=2u
.ENDS

.SUBCKT GRAY C6 C5 C4 C3 C2 C1 C0 G2 G1 G0
Rshunt C3 G2 1
X_inv_1 C6 C6b $G_DPWR $G_DGND 74AC04
X_inv_2 C2 C2b $G_DPWR $G_DGND 74AC04
X_inv_3 C5 C5b $G_DPWR $G_DGND 74AC04
X_AND2_1 C1 C5b G1 $G_DPWR $G_DGND 74AC08
X_AND2_2 C0 C2b S1 $G_DPWR $G_DGND 74AC08
X_AND2_3 C4 C6b S2 $G_DPWR $G_DGND 74AC08
X_OR2 S1 S2 G0 $G_DPWR $G_DGND 74AC32
RG2 G2 0 100k
RG1 G1 0 100k
RG0 G0 0 100k
.ENDS

.SUBCKT BIN G2 G1 G0 A2 A1 A0
Rshunt G2 A2 1
X_XOR_1 G2 G1 A1 $G_DPWR $G_DGND 74AC86
X_XOR_2 A1 G0 A0 $G_DPWR $G_DGND 74AC86
RA2 A2 0 100k
RA1 A1 0 100k
RA0 A0 0 100k
.ENDS

.PROBE
.END

```

Annexe 3 : Netlist, chaine_full_lite.cir

Chaîne complète, échantillonneur avec switch commandé
Pspice version d'éval

Cette netliste représente le schéma complet, mais avec l'ADC formé par 7 comparateurs à bases de sources commandées, donc sans les transistors CMOS. La conséquence est que les chronogrammes sont idéalisés en sortie de l'ADC, mais le fonctionnement global est satisfaisant : avec les mêmes signaux de commande et d'horloge, on obtient les mêmes signaux en sortie A2, A1, A0.

```

chaîne d'acquisition avec un CNA flash 3 bits
* fichier chaine_full_lite.cir
* simulable avec Pspice lite
* car ADC flash comportemental

.lib dig_io.lib
.lib 74AC.lib

*signaux
Vref ref 0 dc 5V

Vin vin 0 pwl (0,0 1u,5V 2u,0V 3u,5V)

.TRAN .1n 2.4u 0 .1n

.model MODN nmos ( Level=1 Kp=3m Vto=0.8
+ Cgdo=35n Cgso=35n lambda=0.002 )
.model MODP pmos ( Level=1 Kp=2m Vto=-1.2
+ Cgdo=35n Cgso=35n lambda=0.002 )

Xechb vin vinb com comb vdd ECH ;
Cblo Vinb 0 10p

.subckt ECH in out com comb Vdd
Mp out comb in Vdd MODP W=100u L=40u
Mn in com out 0 MODN W=100u L=60u
.ends

Vech com 0 pulse ( 0 5 0n 1n 1n 4n 50n ) ; 20 MHz
Vechb comb 0 pulse ( 5 0 0n 1n 1n 4n 50n )
VCLK H 0 pulse ( 0 5 40n 1n 1n 24n 50n )

* circuit :
X1 vinb ref C6 C5 C4 C3 C2 C1 C0 CONV
X2 C6 C5 C4 C3 C2 C1 C0 G2 G1 G0 GRAY
X3 G2 G1 G0 A2 A1 A0 BIN
E_NA A 0 POLY(3) (A2,0) (A1,0) (A0,0) 0 0.5 0.25 0.125
E_NAb Ab 0 POLY(3) (A2b,0) (A1b,0) (A0b,0) 0 0.5 0.25
0.125

Xbasc0 $G_DPWR A0 H $G_DPWR A0b QA0b 74AC74
Rpull0 A0b 0 100k
Xbasc1 $G_DPWR A1 H $G_DPWR A1b QA1b 74AC74
Rpull1 A1b 0 100k
Xbasc2 $G_DPWR A2 H $G_DPWR A2b QA2b 74AC74
Rpull2 A2b 0 100k

.SUBCKT CONV Vin ref C6 C5 C4 C3 C2 C1 C0
R1 ref va 10k
R2 va vb 10k
R3 vb vc 10k
R4 vc vd 10k
R5 vd ve 10k
R6 ve vf 10k
R7 vf vg 10k
R8 vg 0 10k
X0 vin vg C0 COMP
X1 vin vf C1 COMP
X2 vin ve C2 COMP
X3 vin vd C3 COMP
X4 vin vc C4 COMP
X5 vin vb C5 COMP
X6 vin va C6 COMP
.ENDS

*Sous-circuit comparateur tout ou rien
.SUBCKT COMP Vp Vm Vs ; in+, in-, out
Ec Vs 0 table {500*(V(Vp)-V(Vm))} (0 0 5 5)
.ENDS

.SUBCKT GRAY C6 C5 C4 C3 C2 C1 C0 G2 G1 G0
Rshunt C3 G2 1
X_inv_1 C6 C6b $G_DPWR $G_DGND 74AC04
X_inv_2 C2 C2b $G_DPWR $G_DGND 74AC04
X_inv_3 C5 C5b $G_DPWR $G_DGND 74AC04
X_AND2_1 C1 C5b G1 $G_DPWR $G_DGND 74AC08
X_AND2_2 C0 C2b S1 $G_DPWR $G_DGND 74AC08
X_AND2_3 C4 C6b S2 $G_DPWR $G_DGND 74AC08
X_OR2 S1 S2 G0 $G_DPWR $G_DGND 74AC32
RG2 G2 0 100k
RG1 G1 0 100k
RG0 G0 0 100k
.ENDS

.SUBCKT BIN G2 G1 G0 A2 A1 A0
Rshunt G2 A2 1
X_XOR_1 G2 G1 A1 $G_DPWR $G_DGND 74AC86
X_XOR_2 A1 G0 A0 $G_DPWR $G_DGND 74AC86
RA2 A2 0 100k
RA1 A1 0 100k
RA0 A0 0 100k
.ENDS

.PROBE
.END

```

articles 1 à 43 : sur le livre

Tableau récapitulatif des articles PDF disponibles sur ce site

n°	titre	lien présentation	lien direct article
	Guide d'installation et d'emploi simplifié	présentation	document PDF
44	Exemples basiques et des exercices...	présentation	document PDF
45	Un exemple de circuit passif	présentation	document PDF
46	Un oscillateur Colpitts	présentation	document PDF
47	Compensation en fréquence des amplificateurs opérationnels	présentation	document PDF
48	Un amplificateur à transistors bipolaires	présentation	document PDF
49	Une bascule D Flip Flop CMOS	présentation	document PDF
50	Une porte XOR à transistors MOS	présentation	document PDF
51	Un VCO à 12 transistors MOS	présentation	document PDF
52	Une PLL à moins de 20 transistors MOS	présentation	document PDF
53	Un oscillateur à résistance négative	présentation	document PDF
54	Une charge électronique	présentation	document PDF
55	Un amplificateur en classe C	présentation	document PDF
56	Le monostable 74 123	présentation	document PDF
57	Un amplificateur en classe D	présentation	document PDF
58	Le transformateur en linéaire	présentation	document PDF
59	La loi d'ohm thermique	présentation	document PDF
60	Le transformateur en non linéaire	présentation	document PDF
61	Robustesse d'un oscillateur en anneau	présentation	document PDF
62	Une alimentation stabilisée	présentation	document PDF
63	Modélisation d'un haut-parleur	présentation	document PDF
64	Un synthétiseur de fréquence	présentation	document PDF
65	Un ampli audio de Sparkfun	présentation	document PDF
66	Simulation logique et analogique	présentation	document PDF
67	Un oscillateur à relaxation	présentation	document PDF
68	Lecteur de TAG RFID 125 kHz	présentation	document PDF
69	Diagramme de l'œil avec Pspice	présentation	document PDF
70	Un amplificateur hautes fréquences	présentation	document PDF
71	Une bizarrerie enfin expliquée...	présentation	document PDF
72	Comprendre le paramétrage de la FFT	présentation	document PDF
73	La relation de Bennett	présentation	document PDF
74	Simuler un circuit à plus de 20 transistors avec PSpice Eval	présentation	document PDF
75	Une horloge biphase sans recouvrement	présentation	document PDF
76	Quelques simulations sur la diode	présentation	document PDF
77	Un ampli classe A, avec transformateur de sortie	présentation	document PDF
78	Des stimuli pour PSpice	présentation	document PDF
79	Simuler le TL431 : zener ajustable	présentation	document PDF
80	Un ADC flash	présentation	document PDF
81	Une chaîne d'acquisition : S&H, ADC, DAC	présentation	document PDF
82	Un amplificateur 50 MHz	présentation	document PDF
83	Un dérivateur non inverseur	présentation	document PDF
84	Un amplificateur bipolaire avec push pull CMOS	présentation	document PDF
85	Rôle des répéteurs logiques dans un circuit intégré	présentation	document PDF
86	Un driver logique CMOS pour charge 50 ohms	présentation	document PDF
87	Des triggers de Schmitt et des applications	présentation	document PDF
88	Un filtre gaussien analogique	présentation	document PDF
89	Un générateur de bruit rose	présentation	document PDF

90	Un anémomètre à fil chaud : simulation comportementale	présentation	document PDF
91	Un oscillateur à pont de Wien stabilisé par CTN	présentation	document PDF
92	L'emballage thermique d'une diode	présentation	document PDF
93	Les puissances dans un amplificateur	présentation	document PDF
94	Asservissement de puissance dans une résistance	présentation	document PDF
95	Asservissement de la puissance émise par une antenne radio	présentation	document PDF
96	Un driver de LED de puissance	présentation	document PDF
97	Exploiter Pspice pour simuler des filtres numériques	présentation	document PDF
98	Un filtre en cosinus surélevé avec Pspice	présentation	document PDF
99	Effet de la température sur un amplificateur en classe A	présentation	document PDF
100	Un amplificateur à transistors JFET et bipolaires	présentation	document PDF
Supplément, hors article :			
mon cours « Electronique pour les communications numériques », polycopié couleur 201 pages en pdf			

[retour à l'écran d'accueil de ce site](#)